

PATENT  
81751.0062  
Express Mail Label No. EV 325 216 575 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Makoto KUDO

Serial No: Not assigned

Filed: June 20, 2003

For: DATA PROCESSING DEVICE AND  
ELECTRONIC EQUIPMENT

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-182766 which was filed June 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: June 20, 2003

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月24日

出 願 番 号

Application Number:

特願2002-182766

[ ST.10/C ]:

[ JP2002-182766 ]

出 願 人

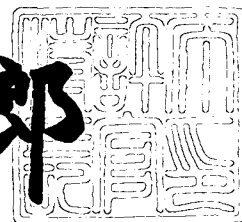
Applicant(s):

セイコーエプソン株式会社

2003年 4月15日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3027739

【書類名】 特許願

【整理番号】 EP-0384501

【提出日】 平成14年 6月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00 580  
G06F 13/28 310  
G06T 1/60  
G09G 5/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 工藤 真

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び電子機器

【特許請求の範囲】

【請求項 1】 パイプライン制御を行う情報処理装置であって、

所定のターゲット命令と、該ターゲット命令の前におかれターゲット命令の機能を修飾するプリフィックス命令を含む複数の命令の命令コードを命令キューにフェッチするフェッチ回路と、

命令キューにフェッチされているデコード前の命令コードを入力し、所定のプリフィックス命令であるか否か判断し、所定のプリフィックス命令である場合には、プリフィックス命令に修飾されたターゲット命令のデコードに必要な情報をターゲット命令修飾情報レジスタに記憶するプリフィックス命令専用デコード処理を行うプリフィックス命令専用デコード回路と、

命令キューにフェッチされているプリフィックス命令以外の命令コードをデコード対象命令として入力しデコードするデコード回路を含み、

前記デコード回路は、

デコード対象命令がターゲット命令である場合には、ターゲット命令修飾情報保持レジスタに記憶されているターゲット命令修飾情報に基づき、プリフィックス命令によって修飾されたターゲット命令のデコードを行うことを特徴とする情報処理装置。

【請求項 2】 請求項 1 において、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行に必要な即値を拡張させるための即値拡張プリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードが即値拡張プリフィックス命令である場合には、即値拡張プリフィックス命令に修飾されたターゲット命令の実行時に即値を拡張するために必要な即値拡張情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令が即値拡張プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記即値拡張情報に基づき、即値拡張プリフィックス命令によって修飾されたターゲット命令の実行時に即値が拡張されてターゲット命令が実行されるようにデコードを行うことを特徴とする情報処理装置。

【請求項 3】 請求項 1 乃至 2 のいずれかにおいて、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行結果をシフトさせるためのシフトプリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードがシフトプリフィックス命令である場合には、シフトプリフィックス命令によって修飾されたターゲット命令の実行結果をシフトするために必要なシフト情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令がシフトプリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記シフト情報に基づき、シフトプリフィックス命令によって修飾されたターゲット命令の実行結果がシフトされてターゲット命令が実行されるようにデコードを行うことを特徴とする情報処理装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行に必要なレジスタを拡張するためのレジスタ拡張プリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードがレジスタ拡張プリフィックス命令である場合には、レジスタ拡張プリフィックス命令によって修飾されたターゲット命令の実行時にレジスタを拡張するために必要なレジスタ拡張情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令がレジスタ拡張プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記レジスタ拡張情報に基づき、レジスタ拡張プリフィックス命令によって修飾されたターゲット命令の実行時にレジスタが拡張されてターゲット命令が実行されるようにデコードを行うことを特徴とする情報処理装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行の有無を制御するための実行制御プリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードが実行制御プリフィックス命令である場合には、実行制御プリフィックス命令によって修飾されたターゲット命令の実行の有無を制御するために必要な実行制御情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令が実行制御プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記実行制御情報に基づき、実行制御プリフィックス命令によって修飾されたターゲット命令の実行の有無を判断してターゲット命令が実行されるようにデコードすることを特徴とする情報処理装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記フェッチ回路は、

命令コードの少なくとも 2 倍以上のバス幅を有するバスに接続され、前記バスを介して複数命令を 1 クロックで命令キューにフェッチすることを特徴とする情報処理装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

ターゲット命令は、当該ターゲット命令を修飾するプリフィックス命令の後に連続して配置され、

前記デコード回路が第 1 の命令のデコード中に、前記プリフィックス命令専用デコード回路が第 1 の命令に続く第 2 の命令についてプリフィックス命令専用デ

コード処理を行うことを特徴とする情報処理装置。

【請求項 8】 請求項 1 乃至 7 のいずれかに記載の情報処理装置と、  
入力情報を受け付ける手段と、  
入力情報に基づき前記情報処理装置により処理された結果を出力するため手段  
と、  
を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、情報処理装置及び電子機器に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

本出願人は、ターゲット命令の前におかれターゲット命令の機能を修飾（拡張）するプリフィックス命令を含む命令セットを有するマイクロコンピュータ（広義には情報処理装置）を開発している。かかるプリフィックス命令とし、例えばターゲット命令が即値を含む場合に、その即値の上位ビットをプリフィックス命令で与えてターゲット命令の即値を拡張をする `ext` 命令等を有している。

【0 0 0 3】

しかし従来のパイプライン制御を行うマイクロコンピュータではプリフィックス命令で修飾されたターゲット命令の機能を実現するためには、プリフィックス命令とターゲット命令の 2 命令の実行が必要であり、2 クロックかかっていた。

【0 0 0 4】

ここでマイクロコンピュータの性能を左右する最も重要な要素はその実行速度であり、出来るだけローコストで高速実行可能なコストパフォーマンスのよいマイクロコンピュータを提供することが好ましい。

【0 0 0 5】

本発明は以上のような問題点に鑑みてなされたものであり、プリフィックス命令を含む命令セットを有する情報処理装置において出来るだけローコストで高速実行可能なコストパフォーマンスのよい情報処理装置及び電子機器の提供を目的



とする。

【 0 0 0 6 】

【課題を解決するための手段】

(1) 本発明は、パイプライン制御を行う情報処理装置であって、

所定のターゲット命令と、該ターゲット命令の前におかれターゲット命令の機能を修飾するプリフィックス命令を含む複数の命令の命令コードを命令キューにフェッチするフェッチ回路と、

命令キューにフェッチされているデコード前の命令コードを入力し、所定のプリフィックス命令であるか否か判断し、所定のプリフィックス命令である場合には、プリフィックス命令に修飾されたターゲット命令のデコードに必要な情報をターゲット命令修飾情報レジスタに記憶するプリフィックス命令専用デコード処理を行うプリフィックス命令専用デコード回路と、

命令キューにフェッチされているプリフィックス命令以外の命令コードをデコード対象命令として入力しデコードするデコード回路を含み、

前記デコード回路は、

デコード対象命令がターゲット命令である場合には、ターゲット命令修飾情報保持レジスタに記憶されているターゲット命令修飾情報に基づき、プリフィックス命令によって修飾されたターゲット命令のデコードを行うことを特徴とする。

【 0 0 0 7 】

本発明の情報処理装置には、ターゲット命令及び該ターゲット命令の機能を拡張するプリフィックス命令が入力される。プリフィックス命令は、後続のターゲット命令が実行される際に、そのターゲット命令の機能を拡張する機能を有する。

【 0 0 0 8 】

ここで命令キューとはデコードされる前に命令コードが格納されているキューのことで、フェッチキュー又はプリフェッチキュー等でもよい。

【 0 0 0 9 】

デコード対象命令がターゲット命令であるか否かは、デコード対象命令の命令コード及びターゲット命令修飾情報レジスタの少なくとも一方にもとづき判断

するようにしてもよい。

【 0 0 1 0 】

またデコード対象命令がターゲット命令でない場合には、当該命令の通常の機能が実現されるようにデコードを行う。

【 0 0 1 1 】

プリフィックス命令専用デコード回路は、命令キューに格納されている各命令がデコード回路に渡される少なくとも1クロック以上前に該命令を読み込み、プリフィックス命令専用デコード処理を行うようにしてもよい。そして読み込んだ命令がプリフィックス命令である場合には、プリフィックス命令に修飾されたターゲット命令のデコードに必要な情報を、少なくとも修飾するターゲット命令のデコード前までにターゲット命令修飾情報レジスタに記憶させる。

【 0 0 1 2 】

そして命令キューに格納された命令がプリフィックス命令である場合には、当該命令がデコード回路によってデコードされないように制御する。

【 0 0 1 3 】

このようにするとプリフィックス命令はデコード回路でデコードせずに、先行する他の命令がデコード回路でデコードされている間にプリフィックス命令専用デコード回路でデコードして、ターゲット命令の実行に必要な情報をターゲット命令修飾情報レジスタに記憶させることが出来る。そしてターゲット命令のデコードの際にターゲット命令修飾情報レジスタを参照してデコードを行うことにより、プリフィックス命令を実質上0クロックで実現することができ情報処理装置の高速化を図ることが出来る。

【 0 0 1 4 】

しかもプリフィックス命令専用デコード回路の回路規模は通常のデコード回路に比べると非常に小さいので、回路規模の増大を招くことなく情報処理装置の高速化を図ることが出来る。

(2) 本発明の情報処理装置は、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行に必要な即値を拡張させるための即値拡張プリフィッ

クス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードが即値拡張プリフィックス命令である場合には、即値拡張プリフィックス命令に修飾されたターゲット命令の実行時に即値を拡張するために必要な即値拡張情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令が即値拡張プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記即値拡張情報に基づき、即値拡張プリフィックス命令によって修飾されたターゲット命令の実行時に即値が拡張されてターゲット命令が実行されるようにデコードを行うことを特徴とする。

【 0 0 1 5 】

ターゲット命令の実行時に即値を拡張するために必要な即値拡張情報とは、例えば、実行に必要な即値の一部のビットの値（拡張部分に該当するビット値等）等を含む。

【 0 0 1 6 】

ここでいう即値の拡張とは、例えば通常のゼロ拡張やサイン拡張のほか、命令コード中に記載されている即値のビット幅を伸張して、伸張された部分に、所与のビットを補う場合も含む。

【 0 0 1 7 】

本発明によれば、回路規模の増大を招くことなく、ターゲット命令の実行に必要な即値を拡張する即値拡張プリフィックス命令を実質上 0 クロックで実現することができ、情報処理装置の高速化を図ることが出来る。

（ 3 ）本発明の情報処理装置は、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行結果をシフトさせるためのシフトプリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードがシフトプリフィックス命令である場合には、シフトプ

リフィックス命令によって修飾されたターゲット命令の実行結果をシフトするために必要なシフト情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令がシフトプリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記シフト情報に基づき、シフトプリフィックス命令によって修飾されたターゲット命令の実行結果がシフトされてターゲット命令が実行されるようにデコードを行うことを特徴とする。

#### 【 0 0 1 8 】

ターゲット命令の実行結果をシフトするために必要なシフト情報とは、例えば、ターゲット命令の実行結果を左シフトするか右シフトするかに関する情報、論理シフトするか算術シフトするかに関する情報、シフトさせる数（シフト値）等を含む。

#### 【 0 0 1 9 】

本発明によれば、回路規模の増大を招くことなく、ターゲット命令の実行結果をシフトするシフトプリフィックス命令を実質上 0 クロックで実現することができ、情報処理装置の高速化を図ることが出来る。

（４）本発明の情報処理装置は、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行に必要なレジスタを拡張するためのレジスタ拡張プリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードがレジスタ拡張プリフィックス命令である場合には、レジスタ拡張プリフィックス命令によって修飾されたターゲット命令の実行時にレジスタを拡張するために必要なレジスタ拡張情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令がレジスタ拡張プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記レジスタ拡張

情報に基づき、レジスタ拡張プリフィックス命令によって修飾されたターゲット命令の実行時にレジスタが拡張されてターゲット命令が実行されるようにデコードを行うことを特徴とする。

#### 【 0 0 2 0 】

ターゲット命令の実行時にレジスタを拡張するために必要なレジスタ拡張情報とは、例えば、ターゲット命令実行時に使用する汎用レジスタ番号に関する情報等を含む。

#### 【 0 0 2 1 】

本発明によれば、回路規模の増大を招くことなく、ターゲット命令の実行に必要なレジスタを拡張するレジスタ拡張プリフィックス命令を実質上 0 クロックで実現することができ、情報処理装置の高速化を図ることが出来る。

(5) 本発明の情報処理装置は、

前記所定のプリフィックス命令は、該プリフィックス命令の機能拡張の対象となるターゲット命令の実行の有無を制御するための実行制御プリフィックス命令を含み、

前記プリフィックス命令専用デコード回路は、

入力された命令コードが実行制御プリフィックス命令である場合には、実行制御プリフィックス命令によって修飾されたターゲット命令の実行の有無を制御するために必要な実行制御情報をターゲット命令修飾情報レジスタに記憶し、

前記デコード回路は、

デコード対象命令が実行制御プリフィックス命令のターゲット命令である場合には、ターゲット命令修飾情報レジスタに記憶されている前記実行制御情報に基づき、実行制御プリフィックス命令によって修飾されたターゲット命令の実行の有無を判断してターゲット命令が実行されるようにデコードすることを特徴とする。

#### 【 0 0 2 2 】

ターゲット命令の実行の有無を制御するために必要な実行制御情報とは、例えば実行制御プリフィックス命令に先だって実行された比較命令の比較結果によってターゲット命令の実行の有無を制御する場合には、ターゲット命令の実行無し

又は有りに対応する比較結果等でもよい。

【 0 0 2 3 】

そして比較命令の比較結果が、定義された比較コードと一致したら、ターゲット命令をNOP命令にすり替えるようにしてもよい。

【 0 0 2 4 】

本発明によれば、回路規模の増大を招くことなく、ターゲット命令の実行の有無を制御するための実行制御プリフィックス命令を実質上0クロックで実現することができ、情報処理装置の高速化を図ることが出来る。

(6) 本発明の情報処理装置は、

前記フェッチ回路は、

命令コードの少なくとも2倍以上のバス幅を有するバスに接続され、前記バスを介して複数命令を1クロックで命令キューにフェッチすることを特徴とする。

(7) 本発明の情報処理装置は、

ターゲット命令は、当該ターゲット命令を修飾するプリフィックス命令の後に連続して配置され、

前記デコード回路が第1の命令のデコード中に、前記プリフィックス命令専用デコード回路が第1の命令に続く第2の命令についてプリフィックス命令専用デコード処理を行うことを特徴とする。

(8) 本発明は、上記のいずれかに記載の情報処理装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする電子機器である。

【 0 0 2 5 】

本発明によれば、ローコストで高速実行可能な情報処理装置を内蔵しているため、安価で高機能な電子機器を提供することが出来る。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【 0 0 2 7 】

## 1. 情報処理装置

図 1 は、従来のマイクロコンピュータ（広義には情報処理装置）におけるパイプライン制御の一例について説明するための図である。

【 0 0 2 8 】

同図は、Fetch (F)、Decode (D)、Execute (E)、Access (A)、Write (W) の 5 段のパイプライン制御を行うマイクロコンピュータにおいて、①～④の命令が処理されるタイムテーブルを表している。

【 0 0 2 9 】

ここで② e x t と③ e x t はいずれも後に続く④ a d d を修飾するプリフィックス命令である。すなわち④ a d d は、② e x t と③ e x t によって修飾されるターゲット命令である。

【 0 0 3 0 】

パイプライン制御を行うマイクロコンピュータにおいてプリフィックス命令とターゲット命令を含む 4 つの命令を実行する場合には、同図のタイムテーブルに示すように 4 クロック必要となる。

【 0 0 3 1 】

図 2 (A) (B) は、本実施の形態の特徴について説明するための図である。図 2 (A) は、本実施の形態の情報処理装置の特徴的な構成について説明するための図である。本実施の形態の情報処理装置は、複数の命令の命令コードを命令キュー（プリフェッチキュー）30-0, 30-1・・・にフェッチするフェッチ回路20と、命令キュー30にフェッチされているデコード前の命令コード（ここではキュー1（30-1）に格納されている命令コード、キュー2（30-2）に格納されている命令コード）を入力し、所定のプリフィックス命令であるか否か判断し、プリフィックス命令である場合には、プリフィックス命令に修飾されたターゲット命令のデコードに必要な情報をターゲット命令修飾情報レジスタ50に記憶させるプリフィックス命令専用デコード処理を行うプリフィックス命令専用デコード回路40と、命令キュー30にフェッチされているプリフィックス命令以外の命令コードを入力しデコードするデコード回路60と、デコード

された命令を実行する実行回路 7 0 を含む。

【 0 0 3 2 】

図 2 ( B ) は、本実施の形態の情報処理装置の特徴的な動作について説明するための図である。

【 0 0 3 3 】

ここで図 1 の①～④の命令 ( s u b 、 e x t 、 e x t 、 a d d ) が命令キュー 3 0 - 0 , 3 0 - 1 . . . に格納されているとする。

【 0 0 3 4 】

命令キュー 0 ( 3 0 - 0 ) に格納された第 1 の命令 (ここでは s u b ) がデコード回路 6 0 に渡されるとともに ( s 1 ) 、命令キュー 1 ( 3 0 - 1 ) に格納された第 2 の命令 (ここでは e x t ) 、命令キュー 2 ( 3 0 - 2 ) に格納された第 3 の命令 (ここでは e x t ) が、プリフィックス命令専用デコード回路 4 0 に入力され ( s 2 , s 3 ) 、前記デコード回路 6 0 が第 1 の命令 (ここでは s u b ) のデコード中に、前記プリフィックス命令専用デコード回路 4 0 が第 1 の命令に続く第 2 の命令 (ここでは e x t ) 及び第 3 の命令 (ここでは e x t ) についてプリフィックス命令専用デコード処理を行う。

【 0 0 3 5 】

ここで、第 2 の命令 (ここでは e x t ) および第 3 の命令 (ここでは e x t ) は、プリフィックス命令であるため、プリフィックス命令に修飾されたターゲット命令のデコードに必要な情報がターゲット命令修飾情報レジスタ 5 0 に記憶される ( s 4 ) 。

【 0 0 3 6 】

次に、命令キュー 1 ( 3 0 - 1 ) に格納された第 2 の命令 (ここでは e x t ) 、命令キュー 2 ( 3 0 - 2 ) に格納された第 3 の命令 (ここでは e x t ) はプリフィックス命令であるため、これらの命令はデコード回路に渡されず、命令キュー 3 ( 3 0 - 0 ) に格納された第 4 の命令 (ここでは a d d ) がデコード回路 6 0 に渡される ( s 5 ) 。デコード回路では、ターゲット命令修飾情報レジスタ 5 0 に格納されている情報を入力して ( S 6 ) 、第 4 の命令 (ここでは a d d ) についてプリフィックス命令に修飾されたターゲット命令として実行されるように



デコード処理を行う。

【 0 0 3 7 】

このようにすることで実質上、プリフィックス命令の実行が 0 クロックとなる。

【 0 0 3 8 】

なおここでは前記命令コードデコード回路がキュー 1 に格納されている命令コードの第 1 の命令のデコード中に、前記プリフィックス命令専用デコード回路が、キュー 1 ( 3 0 - 1 ) に格納されている命令コード及びキュー 2 ( 3 0 - 2 ) に格納されている第 2 の命令及び第 3 の命令についてプリフィックス命令専用デコード処理を行う場合について説明したがそれに限られない。

【 0 0 3 9 】

例えば、1つのターゲット命令を修飾するプリフィックス命令が1つしかない場合には、前記命令コードデコード回路が第 1 の命令のデコード中に、前記プリフィックス命令専用デコード回路が第 2 の命令についてプリフィックス命令専用デコード処理を行うようにしてもよい。

【 0 0 4 0 】

また例えば、1つのターゲット命令を修飾するプリフィックス命令が n 個ある場合には、前記命令コードデコード回路が第 1 の命令のデコード中に、前記プリフィックス命令専用デコード回路が第 2 ～第 n + 1 の命令についてプリフィックス命令専用デコード処理を行うようにしてもよい。

【 0 0 4 1 】

図 3 は、本実施の形態のマイクロコンピュータ（広義には情報処理装置）の構成について説明するための機能ブロック図である。

【 0 0 4 2 】

本実施の形態のマイクロコンピュータは、CPU（広義には、処理回路）10 と、BCU（バスコントロールユニット）100 とを含む。なおマイクロコンピュータ 100 は、これ以外にも ROM (Read Only Memory)、RAM (Random Access Memory)、MMU (Memory Management Unit)、DMAC (Direct Access Memory Controller)、LCD (Liquid Crystal Display) ドライバ或いは S

I O (Serial Input Output) 等の各種周辺回路を含むことができる。

【 0 0 4 3 】

C P U 1 0 は、R O M や R A M に記憶されたプログラムに従って、命令のフェッチ、命令のデコード、演算処理、レジスタへの書き込み等をパイプライン制御で行う。C P U 1 0 は 3 2 ビット幅のデータを扱うが 1 6 ビットの命令コードを処理するよう構成されている。

【 0 0 4 4 】

B C U (バスコントロールユニット) 1 0 0 は、図示しない 3 2 ビットの命令データバスや、命令データアクセスのための命令アドレスバスや、3 2 ビットのデータバスや、データアクセスのためのデータアドレスバスや、コントロール信号のためのコントロールバス等の各種バスのバスコントロール処理を行う。

【 0 0 4 5 】

そしてこの C P U 1 0 は、前記各種バスを介して外部と信号のやり取りを行う。

【 0 0 4 6 】

また C P U 1 0 は、フェッチ回路 2 0、プリフィックス命令専用デコード回路 4 0、デコード回路 6 0、実行回路 7 0、レジスタファイル 8 0 (汎用レジスタ 8 2、特殊レジスタ 8 4)、命令アドレスジェネレータ 9 0 等を含んで構成される。

【 0 0 4 7 】

フェッチ回路 2 0 は、所定のターゲット命令と、該ターゲット命令の前におかれターゲット命令の機能を修飾するプリフィックス命令を含む複数の命令の命令コードを命令キュー (例えばプリフェッチキュー) 3 0 - 0、3 0 - 1・・・にプリフェッチする。

【 0 0 4 8 】

プリフィックス命令専用デコード回路 4 0 は、所定の命令キュー (ここでは 3 0 - 1、3 0 - 2) に信号線を介して接続され、所定の命令キューフェッチされているデコード前の命令コードを入力し、所定のプリフィックス命令であるか否か判断し、プリフィックス命令である場合には、プリフィックス命令に修飾され

たターゲット命令のデコードに必要な情報をターゲット命令修飾情報保持レジスタ 5 0 に記憶させる。

【 0 0 4 9 】

デコード回路 6 0 は命令キューに信号線を介して接続され命令キューにフェッチされているプリフィックス命令以外の命令コードを入力しデコードする。

【 0 0 5 0 】

また前記デコード回路は、ターゲット命令修飾情報レジスタ 5 0 に信号線を介して接続され、ターゲット命令修飾情報レジスタ 5 0 に記憶されているターゲット命令修飾情報を入力し、プリフィックス命令によって修飾されたターゲット命令のデコードを行うターゲット命令デコード回路 6 2 を含む。

【 0 0 5 1 】

実行回路 7 0 は、前記デコード回路 6 0 がデコードした命令のオペレーション内容に基づき該命令の実行をおこなう。実行回路 7 0 は、データの演算を行うデータ演算回路 7 2 と、アドレスの演算を行うアドレス演算回路 7 4 を含み、必要に応じて汎用レジスタ 8 4 やメモリ（RAM等）にアクセスしてデコード回路 6 0 でデコードされた命令の機能を実行する。

【 0 0 5 2 】

レジスタファイル 9 0 は、汎用レジスタ R 0 ～ R 1 5 の 1 6 本の汎用レジスタ、プログラムカウンタ（PC）、プロセッサステータスレジスタ（PSR）、スタックポインタ（SP）、算術ローレジスタ（ALR）、算術ハイレジスタ（AHR）等のCPUで使用するレジスタを有している。

【 0 0 5 3 】

命令アドレスジェネレータ 9 0 は、図示しないプログラムカウンタ等に基づき命令キューにフェッチする命令アドレスを生成する。

【 0 0 5 4 】

図 4 はフェッチ回路の命令キューの具体的回路構成の一例について説明するための図である。

【 0 0 5 5 】

フェッチ回路は、図示しないバスや信号線IRINを介して、ROMやRAMに記

憶された命令コードを入力する。ここでは命令長は16ビットでデータ転送は32ビットで行われる場合について説明する。

【0056】

また命令キューQ0～Q5は6個の命令キューを有し、6個の命令コードをフェッチ可能に構成されている。

【0057】

フェッチ回路は読み込んだ32ビットのデータをビット(31:16)部分とビット15:0)部分に分けQ0～Q5に順番に格納し、順番にデコード、実行されるように制御する。例えば命令キューQ0～Q5を順番に使用可能か否かを検索して、使用可能なキューに読み込んだ命令を格納するようにしてもよい。

【0058】

またフェッチ回路は、各クロック毎に命令キューQ0の出力がデコード回路に入力され、同じタイミングで命令キューQ1、Q2の出力がプリフィックス命令専用デコード回路に入力されるように制御する。

【0059】

そしてプリフィックス命令専用デコード回路40が命令キューQ1、Q2の命令が所定のプリフィックス命令であると判断した場合には、これらの命令はデコード回路に入力されないように制御する。例えば命令キューQ1、Q2の命令が所定のプリフィックス命令である場合には命令キューQ0に格納せず、Q3をQ0に格納することで、これらの命令はデコード回路に入力されないように制御してもよい。

【0060】

また命令キューQ5～Q3に格納されている命令は、命令キューQ1又は命令キューQ2のいずれかを經由して命令キューQ0に格納されるように制御する。このようにすることで、各命令がプリフィックス命令専用デコード回路40によって、プリフィックス命令であるか否かを判断され、プリフィックス命令である場合にはプリフィックス命令専用のデコードを行わせることが出来る。

【0061】

なお上記例では命令コードの2倍の幅を有するバスに接続されて1クロックで

2 命令フェッチ可能な回路構成を例にとり説明したがそれに限られない。

#### 【 0 0 6 2 】

例えば命令コードの少なくとも 3 倍以上のバス幅を有するバスに接続され、前記バスを介して 3 命令以上の命令を 1 クロックで命令キューにフェッチするような構成にしてもよい。

#### 【 0 0 6 3 】

### 2. 即値拡張プリフィックス命令

図 5 (A) は、即値拡張プリフィックス命令のターゲット命令となることが可能な命令の命令コード 2 1 0 のビットフィールドを示した図であり、図 5 (B) は、e x t 命令 (即値拡張プリフィックス命令) の命令コード 2 2 0 のビットフィールドを示している。ビットフィールドの上の数字はビットの位置を示しており、同図 (A) (B) に示すように、命令コードはビット 1 5 からビット 0 まで 1 6 ビット幅のフィールドを有している。

#### 【 0 0 6 4 】

図 5 (A) に示す即値拡張プリフィックス命令のターゲット命令となることが可能な命令の命令コード 2 1 0 は、ビット 1 5 からビット 1 0 に 6 ビットのオペコード指定領域 2 1 2 と、ビット 9 からビット 4 に 6 ビットの即値指定領域 2 1 6 と、ビット 3 からビット 0 に 4 ビットのレジスタ指定領域 2 1 8 を有している。

#### 【 0 0 6 5 】

オペコード指定領域 2 1 2 は、オペレーションの内容を特定するためのオペコードが格納されている。

#### 【 0 0 6 6 】

前記即値指定領域 2 1 6 には、6 ビットの即値 (i m m 6) の値が格納されており、レジスタ指定領域 2 1 8 には、いずれかの汎用レジスタ (r d) を示すコードが格納されている。

#### 【 0 0 6 7 】

ここで即値拡張プリフィックス命令のターゲット命令となることが可能な命令は、前記即値 (i m m 6) と汎用レジスタ (r d) に対して前記オペコードで示

される演算を行い、結果を汎用レジスタ（r d）に対して書き込む動作を行う命令である。

#### 【 0 0 6 8 】

また、図 5（B）に示すように、e x t 命令（即値拡張プリフィックス命令）の命令コード 2 2 0 は、ビット 1 5 からビット 1 3 に 3 ビットのオペコード指定領域 2 2 2 と、ビット 1 2 からビット 0 に 1 3 ビットの即値を指定する領域 2 2 4 とを有している。

#### 【 0 0 6 9 】

オペコード指定領域 2 1 2 は、即値拡張プリフィックス命令であることを示すオペコードが格納されている。

前記即値を指定する領域 2 2 4 には、1 3 ビットの即値（i m m 1 3）の値が格納されている。

#### 【 0 0 7 0 】

e x t 命令はプリフィックス命令であるため、単独では CPU における A L U での演算等の実行を何ら行わないが、後続のターゲット命令が実行される際に、そのターゲット命令の実行に使用する即値を拡張する機能を有する。例えば図 5（A）の命令のように命令コードに即値を含んでいる命令が e x t 命令のターゲット命令となった場合、ターゲット命令実行時に、ターゲット命令の命令コードに含まれる即値を e x t 命令の 6 ビットの即値（i m m 6）を用いて拡張する機能を有する。

#### 【 0 0 7 1 】

ここでまずタイプ 1 命令が単独で実行された場合の実行内容について説明する。図 3 において、まず、タイプ 1 命令は図示しない ROM から図示しない命令データバスを介して、フェッチ回路 2 0 により命令レジスタキュー 3 0 に格納される。そして、プリフィックス命令専用デコード回路 4 0 でプリフィックス命令であるか否か判断される。

#### 【 0 0 7 2 】

そしてプリフィックス命令でないのでデコード回路 6 0 に入力され、デコードが行われる。このときデコード対象命令はターゲット命令ではないため、通常機

能（プリフィックス命令で拡張されていない機能）用のデコードが行われ、通常機能で実行される。

#### 【 0 0 7 3 】

すなわち命令コードで指定された汎用レジスタ（*r d*）に格納されたデータがレジスタファイル 8 0 より A L U（データ演算回路 7 2）に入力される。また、命令コードで指定された即値（*i m m 6*）は、命令デコード回路により切り出され、図示しない即値生成回路 1 7 0 で、前記即値（*i m m 6*）は 3 2 ビットにゼロ拡張あるいはサイン拡張され、前記拡張された即値は A L U（データ演算回路 7 2）に入力される。そして A L U（データ演算回路 7 2）はタイプ 1 命令のオペコードで示される演算を行い、演算結果をレジスタファイル 8 0 の汎用レジスタ（*r d*）に格納する。

#### 【 0 0 7 4 】

このように即値拡張プリフィックス命令のターゲット命令となることが可能な命令は単独で実行することも出来るし、直前の 1 又は複数の *e x t* 命令と組み合わせて実行することも可能である。*e x t* 命令と組み合わせて実行された場合は、まず命令キューに格納されている *e x t* 命令がターゲット命令専用デコード回路（図 3 の 4 0 参照）でデコードされ、命令コードで指定された即値（図 5（B）の *i m m 1 3*）が、ターゲット命令専用デコード回路により切り出され、ターゲット命令修飾情報レジスタ 5 0 に格納される。

#### 【 0 0 7 5 】

次にデコード回路に *e x t* 命令に後続するターゲット命令が読み込まれ、ターゲット命令機能拡張回路（図 3 の 6 2 参照）によって、ターゲット命令修飾情報レジスタ（図 3 の 5 0 参照）に保持されている先の *e x t* 命令の即値を用いて *i m m 6* の拡張が行われる。

#### 【 0 0 7 6 】

従って、即値拡張プリフィックス命令のターゲット命令となることが可能な命令が単独で実行されたか、直前の 1 又は複数の *e x t* 命令と組み合わせて実行されたかにより、生成される拡張された即値が異なってくる。

#### 【 0 0 7 7 】

図 6 (A) ～ (C) は、タイプ 1 命令のオペレーションを表した式と該オペレーションの実行に使用される拡張された即値のフィールド図である。

【 0 0 7 8 】

図 6 (A) は、即値拡張プリフィックス命令のターゲット命令となることが可能な命令が単独で実行された場合のオペレーションを表した式と、実行に使用される拡張された即値 2 3 0 のビットフィールド図である。同図に示すように、タイプ 1 命令の 6 ビットの即値 ( i m m 6 ) がゼロ拡張又はサイン拡張のいずれかの方法で拡張されて 3 2 ビットの即値 2 3 0 となる。ゼロ拡張された場合は、ビット 6 からビット 3 1 の領域 2 3 2 はすべてゼロとなり、サイン拡張された場合は、ビット 6 からビット 3 1 の領域 2 3 2 は、すべて i m m 6 の最上位ビットすなわちビット 5 と同じビットとなる。

【 0 0 7 9 】

図 6 (B) は、直前の 1 の e x t 命令と組み合わせて実行された場合のオペレーションを表した式と、該オペレーションの実行に使用される拡張された即値 2 4 0 のビットフィールド図である。同図に示すように、即値拡張プリフィックス命令のターゲット命令となることが可能な命令の 6 ビットの即値 ( i m m 6 ) がビット 5 からビット 0 のフィールド 2 4 6 にセットされ、直前の 1 の e x t 命令の 1 3 ビットの即値 ( i m m 1 3 ) がビット 1 8 からビット 6 にセットされ、1 9 ビットの即値 ( i m m 1 9 ) が生成される。そして、前記 1 9 ビットの即値 ( i m m 1 9 ) はゼロ拡張又はサイン拡張のいずれかの拡張方法で 3 2 ビットの即値 2 4 0 となる。ゼロ拡張された場合は、1 9 ビットから 3 1 ビットの領域 2 4 2 はすべてゼロとなり、サイン拡張された場合は、1 9 ビットから 3 1 ビットの領域 2 4 2 は、すべて i m m 1 9 の最上位ビットすなわち 1 8 ビット目と同じビットとなる。

【 0 0 8 0 】

図 6 (C) は、2 個の e x t 命令と組み合わせて実行された場合のオペレーションを表した式と、該オペレーションの実行に使用される拡張された即値 2 5 0 のビットフィールド図である。同図に示すように、即値拡張プリフィックス命令のターゲット命令となることが可能な命令の 6 ビットの即値 ( i m m 6 ) がビッ



ト5からビット0のフィールド256にセットされ、1回目のext命令の13ビットの即値（imm13）がビット31からビット19にセットされ、2回目のext命令の13ビットの即値（imm13）がビット18からビット6にセットされ、32ビットの即値（imm32）250が生成される。

#### 【0081】

図7は、プリフィックス命令が即値拡張プリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

#### 【0082】

命令キュー1に格納されている命令は、即値拡張プリフィックス命令か否か判断し、即値拡張プリフィックス命令である場合には以下の処理を行う（ステップS10）。

#### 【0083】

まずターゲット命令修飾情報レジスタの即値拡張ステータスビットをONに、それ以外のステータスビットをOFFにセットする（ステップS20）。

#### 【0084】

次に命令コードのimm13をターゲット命令修飾情報レジスタの即値拡張情報保持部に保持する（ステップS30）。

#### 【0085】

そして命令キュー1の命令を無効にする（ステップS40）。ここで命令キュー1の命令を無効にするとは、命令キュー1の命令がデコード回路のデコード対象とならないように制御するために必要な処理を含む。

#### 【0086】

図8は、即値拡張プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

#### 【0087】

デコード対象命令が、即値拡張プリフィックス命令のターゲット命令となれる命令か否か判断する（ステップS50）。ここでプリフィックス命令のターゲッ

ト命令となれる命令については予め規定されているので、デコード対象命令の命令コードと予め規定されている即値拡張プリフィックス命令のターゲット命令となれる命令の命令コードを比較して判断するようにしてもよい。

【 0 0 8 8 】

デコード対象命令が即値拡張プリフィックス命令のターゲット命令となれる命令である場合には、即値拡張ステータスビットがONか否か判断する（ステップ S 6 0）。

【 0 0 8 9 】

そして即値拡張ステータスビットがONである場合には、即値拡張情報保持部に保持されている即値を用いて、ターゲット命令の即値を拡張して、ターゲット命令が実行されるようにデコードする（ステップ S 7 0）。

【 0 0 9 0 】

またデコード対象命令が即値拡張プリフィックス命令のターゲット命令となれる命令でない場合や、即値拡張ステータスビットがONでない場合にはデコード対象命令が通常機能でデコードされるようにデコードする（ステップ S 8 0）。

【 0 0 9 1 】

### 3. シフトプリフィックス命令

図 9（A）（B）（C）は、シフトプリフィックス命令について説明するための図である。

【 0 0 9 2 】

図 9（A）はシフトプリフィックス命令の命令コード 3 1 0 のビットフィールドを示した図である。

【 0 0 9 3 】

同図に示すように、シフトプリフィックス命令の命令コード 3 1 0 は、ビット 1 5 からビット 4 のオペコード指定領域 3 1 2 と、ビット 3 の左シフトOR右シフト情報 3 1 4、ビット 2 の論理シフトOR算術シフト情報 3 1 6、ビット 1 ～ビット 0 にシフト値情報 3 1 8 を有している。シフト値情報 3 1 8 には、1 ～ 4 の範囲でシフト値を指定可能である。

【 0 0 9 4 】

オペコード指定領域 3 1 2 には、シフトプリフィックス命令であることを示すオペコードが格納されている。

#### 【 0 0 9 5 】

図 9 (B) は、シフトプリフィックス命令のターゲット命令となることが可能な `add` 命令が単独で実行される場合のオペレーションについて説明するための図である。`add` 命令が単独で実行されるとは `add` 命令がシフトプリフィックス命令のターゲット命令とならずに実行される場合を意味する。この場合には同図に示すように、レジスタ 2 と「3」を足した結果をレジスタ 2 に格納するオペレーションが行われる。

#### 【 0 0 9 6 】

図 9 (C) は、`add` 命令が、シフトプリフィックス命令のターゲット命令として実行される場合のオペレーションについて説明するための図である。

#### 【 0 0 9 7 】

ここで先行する `ext` 命令（シフトプリフィックス命令）は、ターゲット命令の実行結果を右方向に 1 ビット論理シフトすることを指示するプリフィックス命令である（オペランドの「`srl`」は `shift right logical` を意味し、「1」は 1 ビットシフトすることを意味する）。

#### 【 0 0 9 8 】

この場合には同図に示すように、先行する `ext` 命令（シフトプリフィックス命令）の指示にしたがって、レジスタ 2 と「3」を足した結果を右方向に 1 ビット論理シフトし、レジスタ 2 に格納するオペレーションが行われる。

#### 【 0 0 9 9 】

図 10 は、プリフィックス命令がシフトプリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

#### 【 0 1 0 0 】

命令キュー 1 に格納されている命令は、シフトプリフィックス命令か否か判断し、シフトプリフィックス命令である場合には以下の処理を行う（ステップ S 1 1 0）。

## 【 0 1 0 1 】

まずターゲット命令修飾情報レジスタのシフトステータスビットをONに、それ以外のステータスビットをOFFにセットする（ステップS 1 2 0）。

## 【 0 1 0 2 】

次に命令コードの右シフトOR左シフト情報、論理シフトOR算術シフト情報、シフト値情報をターゲット命令修飾情報レジスタのシフト方向選択ビット、シフト種類選択ビット、シフト値指定部に保持する（ステップS 1 3 0）。

## 【 0 1 0 3 】

そして命令キュー1の命令を無効にする（ステップS 1 4 0）。ここで命令キュー1の命令を無効にするとは、命令キュー1の命令がデコード回路のデコード対象とならないように制御するために必要な処理を含む。

## 【 0 1 0 4 】

図11は、シフトプリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

## 【 0 1 0 5 】

デコード対象命令がシフトプリフィックス命令のターゲット命令となれる命令か否か判断する（ステップS 1 5 0）。ここでシフトプリフィックス命令のターゲット命令となれる命令については予め規定されているので、デコード対象命令の命令コードと予め規定されているシフトプリフィックス命令のターゲット命令となれる命令の命令コードを比較して判断するようにしてもよい。

## 【 0 1 0 6 】

デコード対象命令がシフトプリフィックス命令のターゲット命令となれる命令である場合には、シフトステータスビットがONか否か判断する（ステップS 1 6 0）。

## 【 0 1 0 7 】

そしてシフトステータスビットがONである場合には、ターゲット命令修飾情報レジスタのシフト方向選択ビット、シフト種類選択ビット、シフト値指定部に保持されている右シフトOR左シフト情報、論理シフトOR算術シフト情報、シフト値情報を用いて、ターゲット命令を実行し、演算結果をシフトする（ステッ

プ S 1 7 0)。

【 0 1 0 8 】

またデコード対象命令がシフトプリフィックス命令のターゲット命令となれる命令でない場合や、シフトステータスビットが ON でない場合にはデコード対象命令が通常機能でデコードされるようにデコードする (ステップ S 1 8 0)。

【 0 1 0 9 】

4. レジスタ拡張プリフィックス命令

図 1 2 (A) (B) (C) は、レジスタ拡張プリフィックス命令について説明するための図である。

【 0 1 1 0 】

図 1 2 (A) は、レジスタ拡張プリフィックス命令の命令コードのビットフィールドを示した図である。同図に示すように、レジスタ拡張プリフィックス命令の命令コード 3 2 0 のビット 1 5 からビット 4 はオペコード指定領域 3 2 2 であり、ビット 3 ~ ビット 0 はレジスタ拡張情報 3 2 4 である。

【 0 1 1 1 】

オペコード指定領域 3 3 2 には、レジスタ拡張プリフィックス命令であることを示すオペコードが格納されている。レジスタ拡張情報 3 2 4 にはターゲット命令の実行時にレジスタディスティネーションとして使用されるレジスタ番号が記憶されている。

【 0 1 1 2 】

図 1 2 (B) は、レジスタ拡張プリフィックス命令のターゲット命令となることが可能な a d d 命令が単独で実行される場合のオペレーションについて説明するための図である。a d d 命令が単独で実行されるとは a d d 命令がレジスタ拡張プリフィックス命令のターゲット命令とならずに実行される場合を意味する。この場合には同図に示すように、レジスタ 2 と「3」を足した結果をレジスタ 2 に格納するオペレーションが行われる。

【 0 1 1 3 】

図 1 2 (C) は、a d d 命令が、レジスタ拡張プリフィックス命令のターゲット命令として実行される場合のオペレーションについて説明するための図である

。この場合には同図に示すように、レジスタ 2 と「3」を足した結果を、先行する `ext` 命令（レジスタ拡張プリフィックス命令）で指定されたレジスタ 2 に格納するオペレーションが行われる。

#### 【0114】

図 1 3 は、プリフィックス命令がレジスタ拡張プリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

#### 【0115】

命令キュー 1 に格納されている命令は、レジスタ拡張プリフィックス命令か否か判断し、レジスタ拡張プリフィックス命令である場合には以下の処理を行う（ステップ S 2 1 0）。

#### 【0116】

まずターゲット命令修飾情報レジスタのレジスタ拡張ステータスビットを ON に、それ以外のステータスビットを OFF にセットする（ステップ S 2 2 0）。

#### 【0117】

次に命令コードに基づきレジスタ拡張情報をターゲット命令修飾情報レジスタのレジスタ拡張情報保持部に保持する（ステップ S 2 3 0）。

#### 【0118】

そして命令キュー 1 の命令を無効にする（ステップ S 2 4 0）。ここで命令キュー 1 の命令を無効にするとは、命令キュー 1 の命令がデコード回路のデコード対象とならないように制御するために必要な処理を含む。

#### 【0119】

図 1 4 は、レジスタ拡張プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

#### 【0120】

デコード対象命令がレジスタ拡張プリフィックス命令のターゲット命令となる命令か否か判断する（ステップ S 2 5 0）。ここでレジスタ拡張プリフィックス命令のターゲット命令となる命令については予め規定されているので、デコード対象命令の命令コードと予め規定されているレジスタ拡張プリフィックス命

令のターゲット命令となれる命令の命令コードを比較して判断するようにしてもよい。

#### 【 0 1 2 1 】

デコード対象命令がレジスタ拡張プリフィックス命令のターゲット命令となれる命令である場合には、レジスタ拡張ステータスビットがONか否か判断する（ステップS 2 6 0）。

#### 【 0 1 2 2 】

そしてレジスタ拡張ステータスビットがONである場合には、ターゲット命令修飾情報レジスタの拡張レジスタ情報保持部に保持されている拡張レジスタ情報を用いて、ターゲット命令の実行時に使用するレジスタを拡張してターゲット命令が実行されるようにデコードする（ステップS 2 7 0）。

#### 【 0 1 2 3 】

またデコード対象命令がレジスタ拡張プリフィックス命令のターゲット命令となれる命令でない場合や、レジスタ拡張ステータスビットがONでない場合にはデコード対象命令が通常機能でデコードされるようにデコードする（ステップS 2 8 0）。

#### 【 0 1 2 4 】

### 5. 実行制御プリフィックス命令

図15（A）（B）（C）は、実行制御プリフィックス命令について説明するための図である。

#### 【 0 1 2 5 】

図15（A）は、実行制御プリフィックス命令の命令コードのビットフィールドを示した図である。同図に示すように、実行制御プリフィックス命令の命令コード330のビット15からビット4はオペコード指定領域332であり、ビット3～ビット0は実行制御条件判断コード334である。

#### 【 0 1 2 6 】

オペコード指定領域332には、実行制御プリフィックス命令であることを示すオペコードが格納されている。実行制御条件判断コード334は、「LT」「

LE」「GT」「GE」「EQ」「NE」・・・等の各種実行制御条件判断コードが格納される。例えば「LT」は「cmp %R1、%R2」において「%R1が%R2より小さい」場合にターゲット命令をNOPにすることを示す。

【0127】

図15（B）は、実行制御プリフィックス命令の使用例について示した図であり、図15（C）は図15（B）の使用例のオペレーションについて説明するための図である。

【0128】

図15（C）及び図15（B）に示すように、ext命令（実行制御プリフィックス命令）は、cmp命令（比較命令）の後におかれ、ext命令（実行制御プリフィックス命令）の後にくるターゲット命令（ここではadd命令）の実行の有無を比較命令の比較結果によって制御する機能を有する。

【0129】

図16は、プリフィックス命令が実行制御プリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

【0130】

命令キュー1に格納されている命令は、実行制御プリフィックス命令か否か判断し、実行制御プリフィックス命令である場合には以下の処理を行う（ステップS310）。

【0131】

まずターゲット命令修飾情報レジスタの実行制御ステータスビットをONに、それ以外のステータスビットをOFFにセットする（ステップS320）。

【0132】

次に命令コードの実行制御判断コードをターゲット命令修飾情報レジスタの実行制御判断コード保持部に保持する（ステップS330）。

【0133】

そして命令キュー1の命令を無効にする（ステップS340）。ここで命令キュー1の命令を無効にするとは、命令キュー1の命令がデコード回路のデコード



対象とならないように制御するために必要な処理を含む。

【 0 1 3 4 】

図 1 7 は、実行制御プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

【 0 1 3 5 】

デコード対象命令が実行制御プリフィックス命令のターゲット命令となれる命令か否か判断する（ステップ S 3 5 0）。ここで実行制御プリフィックス命令のターゲット命令となれる命令については予め規定されているので、デコード対象命令の命令コードと予め規定されている実行制御プリフィックス命令のターゲット命令となれる命令の命令コードを比較して判断するようにしてもよい。

【 0 1 3 6 】

デコード対象命令が実行制御プリフィックス命令のターゲット命令となれる命令である場合には、実行制御ステータスビットが ON か否か判断する（ステップ S 3 6 0）。

【 0 1 3 7 】

そして実行制御ステータスビットが ON である場合には、ターゲット命令修飾情報レジスタの実行制御条件判断コード情報保持部に保持されている実行制御条件判断コードを用いて、ターゲット命令の実行の有無を判断してターゲット命令が実行されるようにデコードする（ステップ S 3 7 0）。

【 0 1 3 8 】

またデコード対象命令が実行制御プリフィックス命令のターゲット命令となれる命令でない場合や、実行制御ステータスビットが ON でない場合にはデコード対象命令が通常機能でデコードされるようにデコードする（ステップ S 3 8 0）。

【 0 1 3 9 】

## 6. 電子機器

次に、上述したマイクロコンピュータを含む電子機器について説明する。

例えば図 1 8（A）に、電子機器の 1 つであるカーナビゲーションシステムの内部ブロック図を示し、図 1 9（A）に、その外観図を示す。カーナビゲーション

システムの操作はリモコン 7 1 0 を用いて行われ、GPS やジャイロからの情報に基づいて位置検出部 7 2 0 が車の位置を検出する。地図などの情報は C D R O M 7 3 0 (情報記憶媒体) に格納されている。メモリ 7 4 0 は画像処理や音声処理の際の作業領域になるメモリであり、生成された画像は画像出力部 7 5 0 を用いて運転者に表示される。また、生成されたカーナビゲーション用のガイド音声は、音出力部 7 3 5 を用いて運転者に出力される。マイクロコンピュータ 7 0 0 は、リモコン 7 1 0、位置検出部 7 2 0、C D R O M 7 3 0 などの情報入力源から情報を入力し、種々の処理を行い、処理後の情報を、画像出力部 7 5 0、音出力部 7 3 5 などの出力装置を用いて出力する。

## 【 0 1 4 0 】

図 1 8 (B) に、電子機器の 1 つであるゲーム装置の内部ブロック図を示し、図 1 9 (B) に、その外観図を示す。このゲーム装置では、ゲームコントローラ 7 6 0 からのプレーヤの操作情報、C D R O M 7 7 0 からのゲームプログラム、I C カード 7 8 0 からのプレーヤ情報等に基づいて、メモリ 7 9 0 を作業領域としてゲーム画像やゲーム音を生成し、画像出力部 8 1 0、音出力部 8 0 0 を用いて出力する。

## 【 0 1 4 1 】

図 1 8 (C) に電子機器の 1 つであるプリンタの内部ブロック図を示し、図 1 9 (C) にその外観図を示す。このプリンタでは、操作パネル 8 2 0 からの操作情報、コードメモリ 8 3 0 及びフォントメモリ 8 4 0 から文字情報に基づいて、ビットマップメモリ 8 5 0 を作業領域として、印刷画像を生成し、プリント出力部 8 6 0 を用いて出力する。またプリンタの状態やモードを表示パネル 8 7 0 を用いてユーザに伝える。

## 【 0 1 4 2 】

なおマイクロコンピュータを適用できる電子機器としては、上記以外にも例えば、携帯電話(セルラーフォン)、P H S、ページャ、携帯型情報端末、デジタルカメラ、ハードディスク装置、光ディスク(CD、DVD)装置、光磁気ディスク(MO)装置、オーディオ機器、電子手帳、電子卓上計算機、P O S 端末、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、パーソナルコン

ピュータ、テレビ、ビューファインダ型、又はモニタ直視型のビデオテープレコーダなど種々のものを考えることができる。

【 0 1 4 3 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 1 4 4 】

また、本発明の電子機器の構成も、図 1 8 ( A ) ~ ( C ) 、図 1 9 ( A ) ~ ( C ) で説明したものに限定されるものでなく、種々の変形実施が可能である

【図面の簡単な説明】

【図 1】

従来のマイクロコンピュータ（広義には情報処理装置）におけるパイプライン制御の一例について説明するための図である。

【図 2】

図 2 ( A ) ( B ) は、本実施の形態の特徴について説明するための図である。

【図 3】

本実施の形態のマイクロコンピュータ（広義には情報処理装置）の構成について説明するための機能ブロック図である。

【図 4】

フェッチ回路の命令キューの具体的回路構成の一例について説明するための図である。

【図 5】

図 5 ( A ) ( B ) は、即値拡張プリフィックス命令及びそのターゲット命令について説明するための図である。

【図 6】

図 6 ( A ) ~ ( C ) は、タイプ 1 命令のオペレーションを表した式と該オペレーションの実行に使用される拡張された即値のフィールド図である。

【図 7】

プリフィックス命令が即値拡張プリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明

するためのフローチャート図である。

【図 8】

即値拡張プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 9】

図 9 (A) (B) (C) は、シフトプリフィックス命令について説明するための図である。

【図 10】

プリフィックス命令がシフトプリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 11】

シフトプリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 12】

図 12 (A) (B) (C) は、レジスタ拡張プリフィックス命令について説明するための図である。

【図 13】

プリフィックス命令がレジスタ拡張プリフィックス命令である場合に、プリフィックス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 14】

レジスタ拡張プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 15】

図 15 (A) (B) (C) は、実行制御プリフィックス命令について説明するための図である。

【図 16】

プリフィックス命令が実行制御プリフィックス命令である場合に、プリフィッ

クス命令専用デコード回路が命令キューの命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 1 7】

実行制御プリフィックス命令のターゲット命令を含むデコード対象命令をデコードする処理の流れを説明するためのフローチャート図である。

【図 1 8】

図 1 8 (A) (B) (C) は、マイクロコンピュータを含む電子機器のブロック図の一例を示す。

【図 1 9】

図 1 9 (A) (B) (C) は、種々の電子機器の外観図の例である。

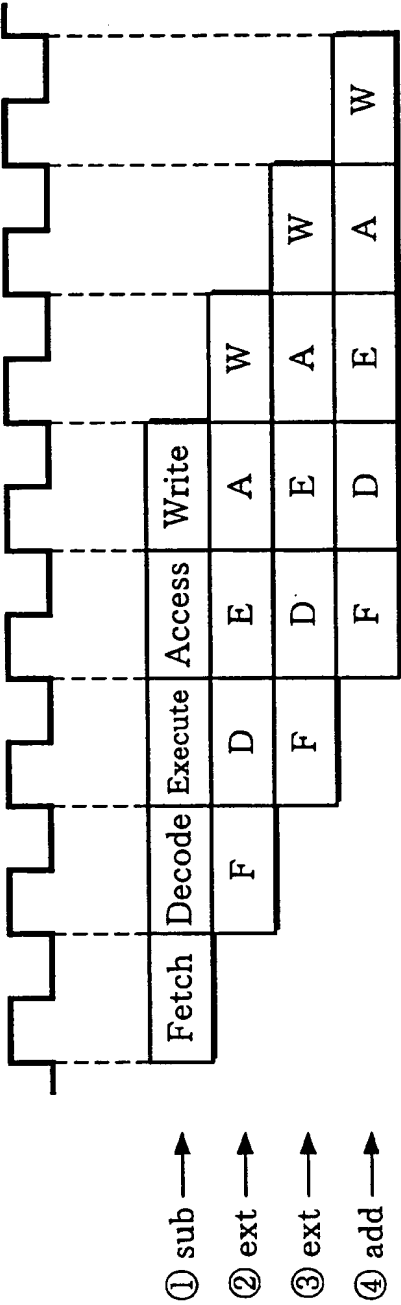
【符号の説明】

- 1 0     CPU (広義には、処理回路)
- 2 0     フェッチ回路
- 3 0     命令キュー
- 4 0     プリフィックス命令専用デコード回路
- 5 0     ターゲット命令修飾情報レジスタ
- 6 0     デコード回路
- 6 2     ターゲット命令デコード回路
- 7 0     実行回路
- 7 2     データ演算回路
- 7 4     アドレス演算回路
- 8 0     レジスタファイル
- 8 2     汎用レジスタ
- 8 4     特殊レジスタ
- 9 0     命令アドレスジェネレータ
- 1 0 0   BCU (バスコントロールユニット)
- 7 0 0   マイクロコンピュータ
- 7 1 0   リモコン
- 7 2 0   位置検出部

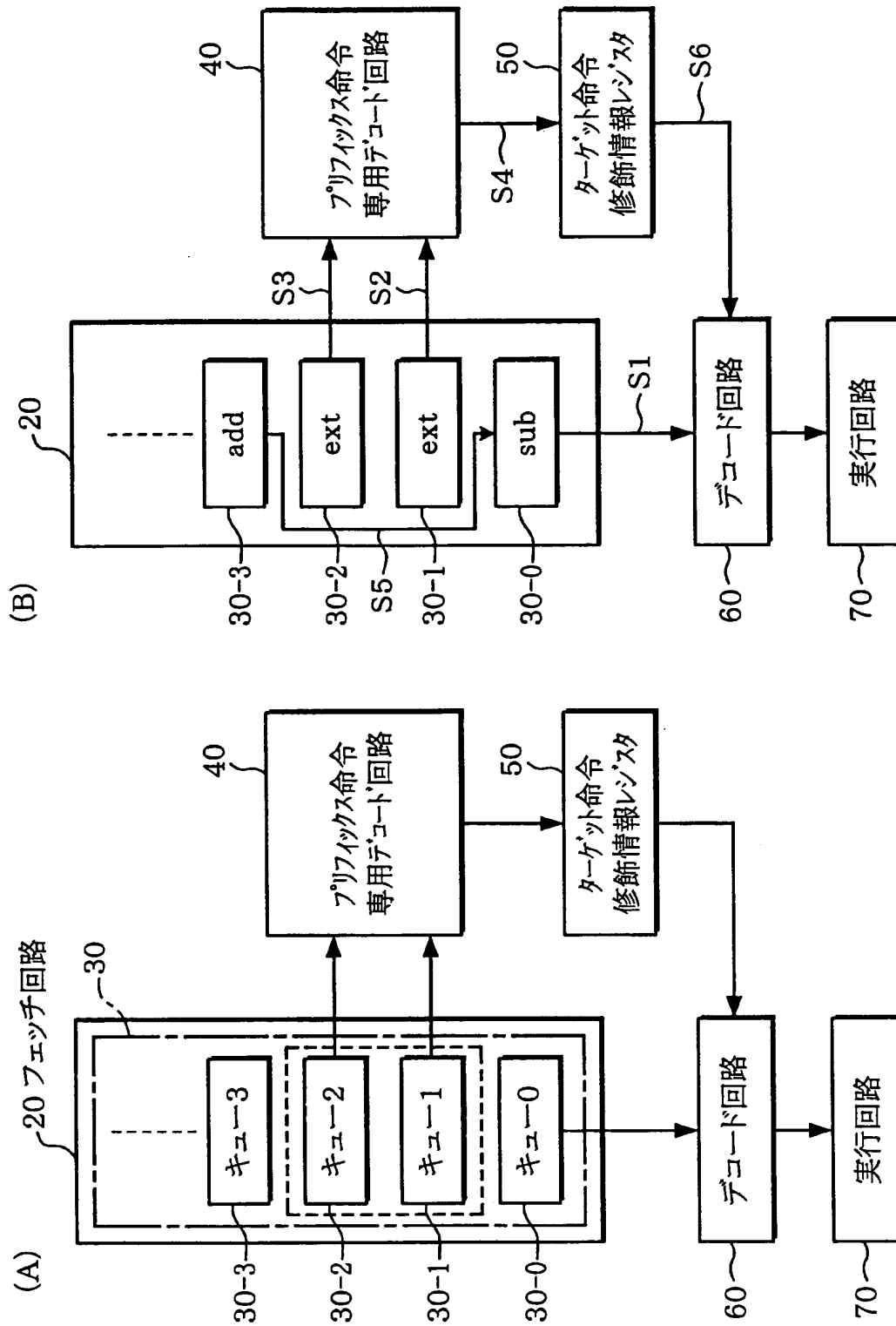
7 3 5、8 0 0 音出力部  
7 4 0 メモリ  
7 5 0、8 1 0 画像出力部  
7 7 0 C D R O M  
7 8 0 カード  
7 9 0 I C メモリ  
8 0 0 音出力部  
8 2 0 操作パネル  
8 3 0 コードメモリ  
8 4 0 フォントメモリ  
8 5 0 ビットマップメモリ  
8 6 0 プリント出力部  
8 7 0 表示パネル

【書類名】 図面

【図 1】

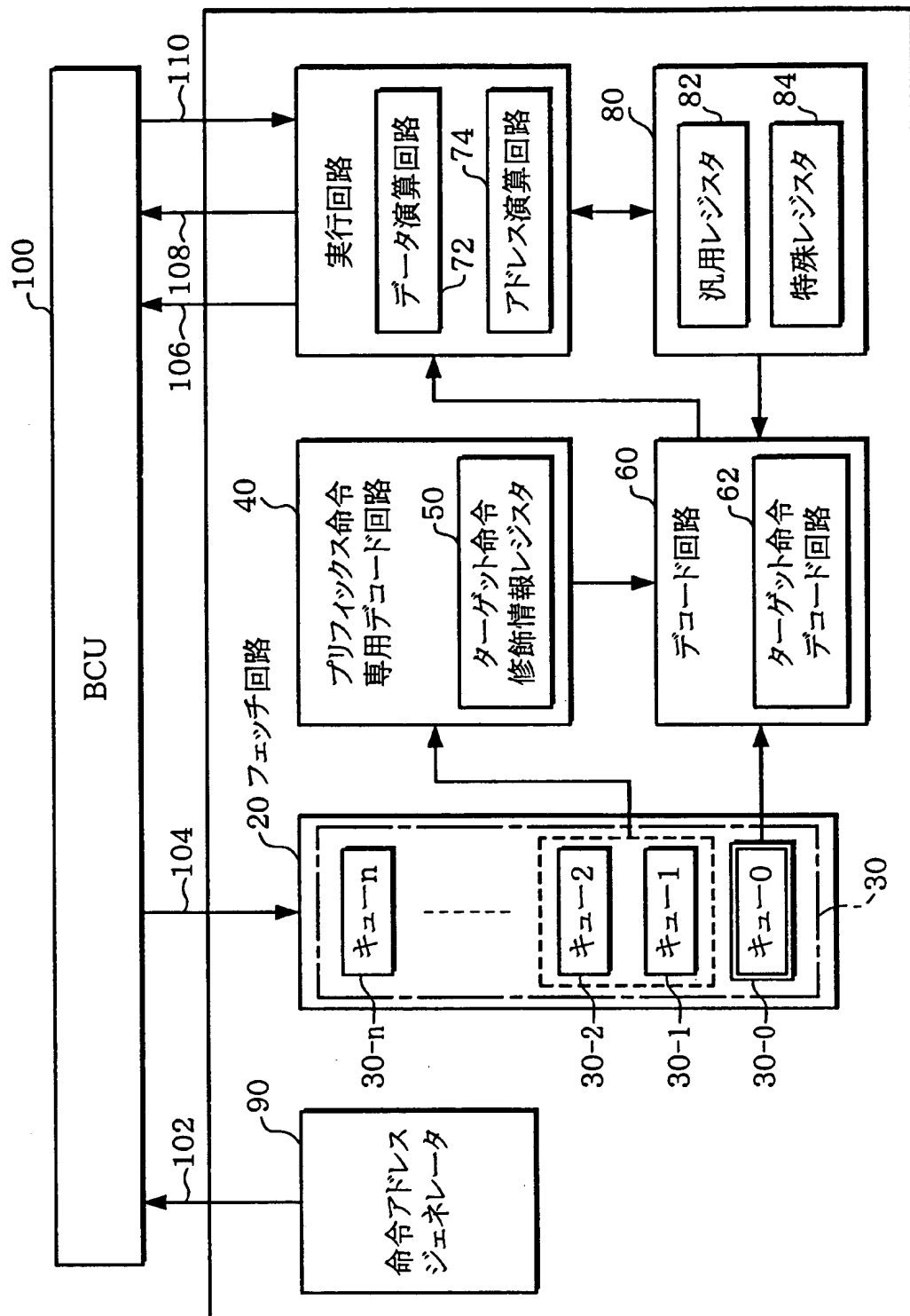


【図 2】

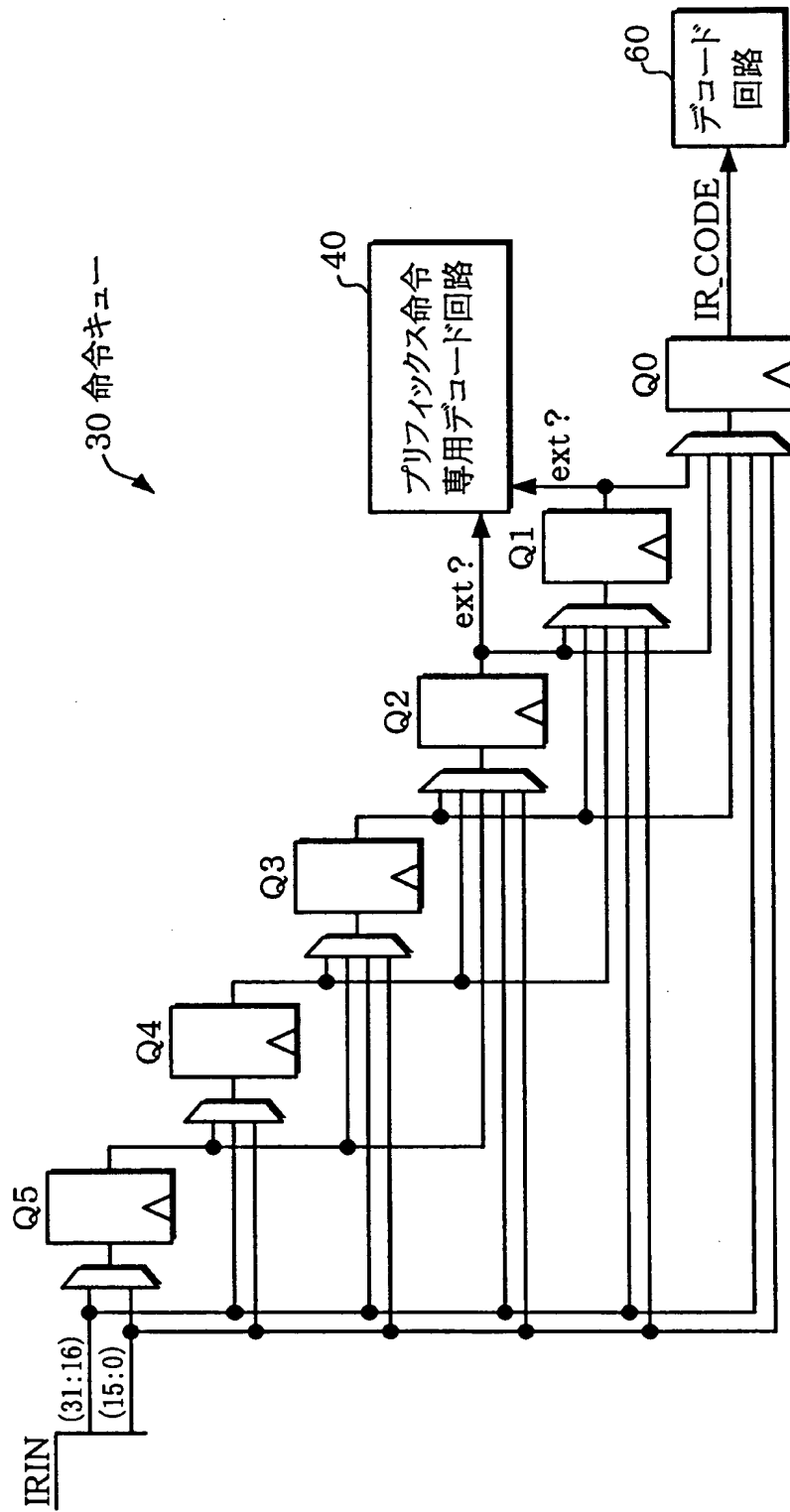




【図 3】

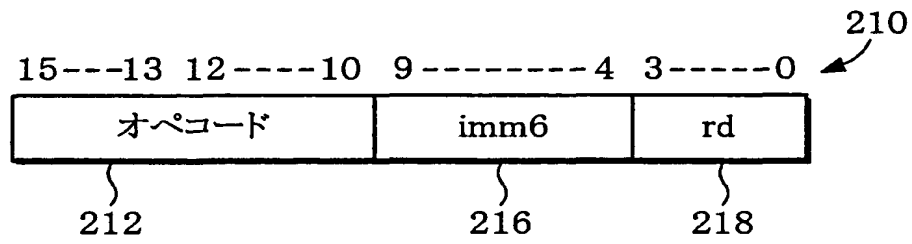


【図 4】

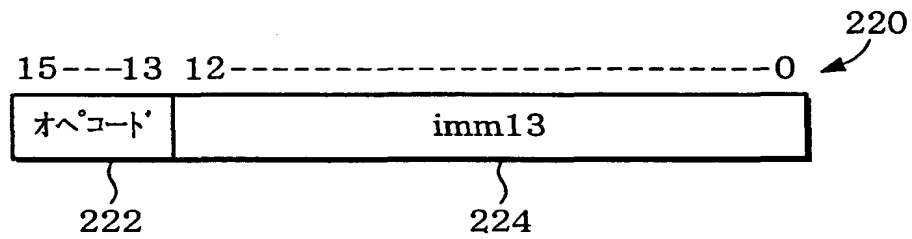


【図 5】

(A)



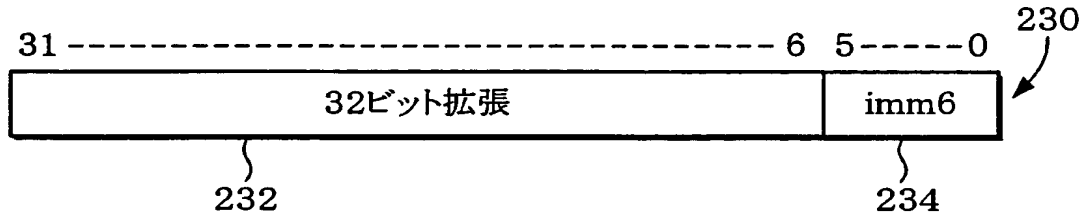
(B)



【図 6】

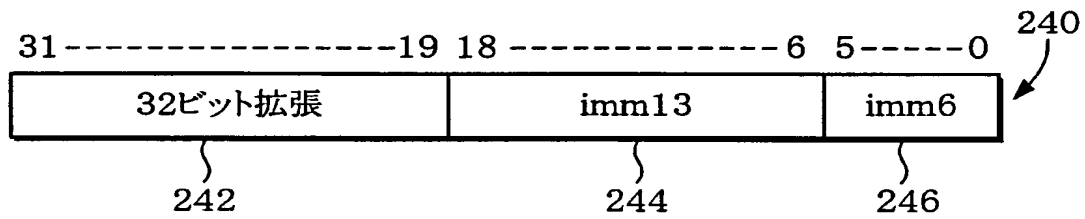
(A)

rd = rd op. imm6



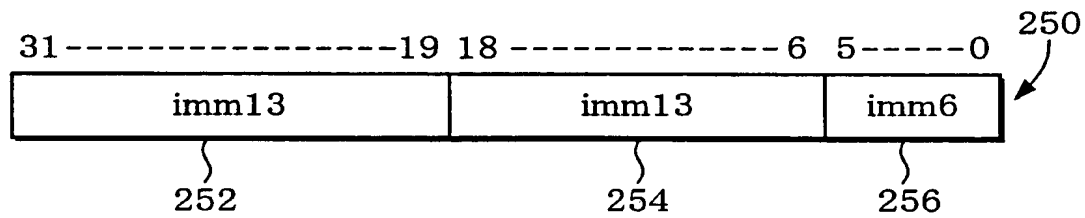
(B)

rd = rd op. imm19

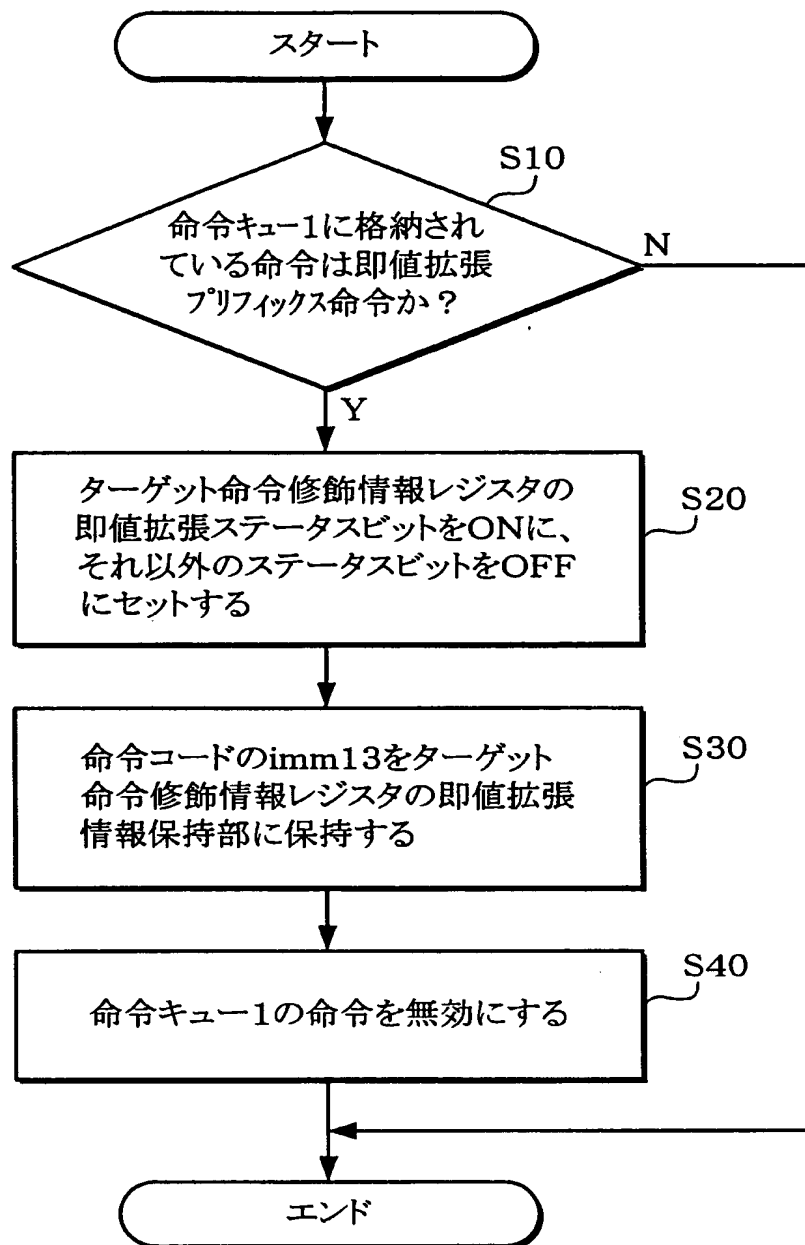


(C)

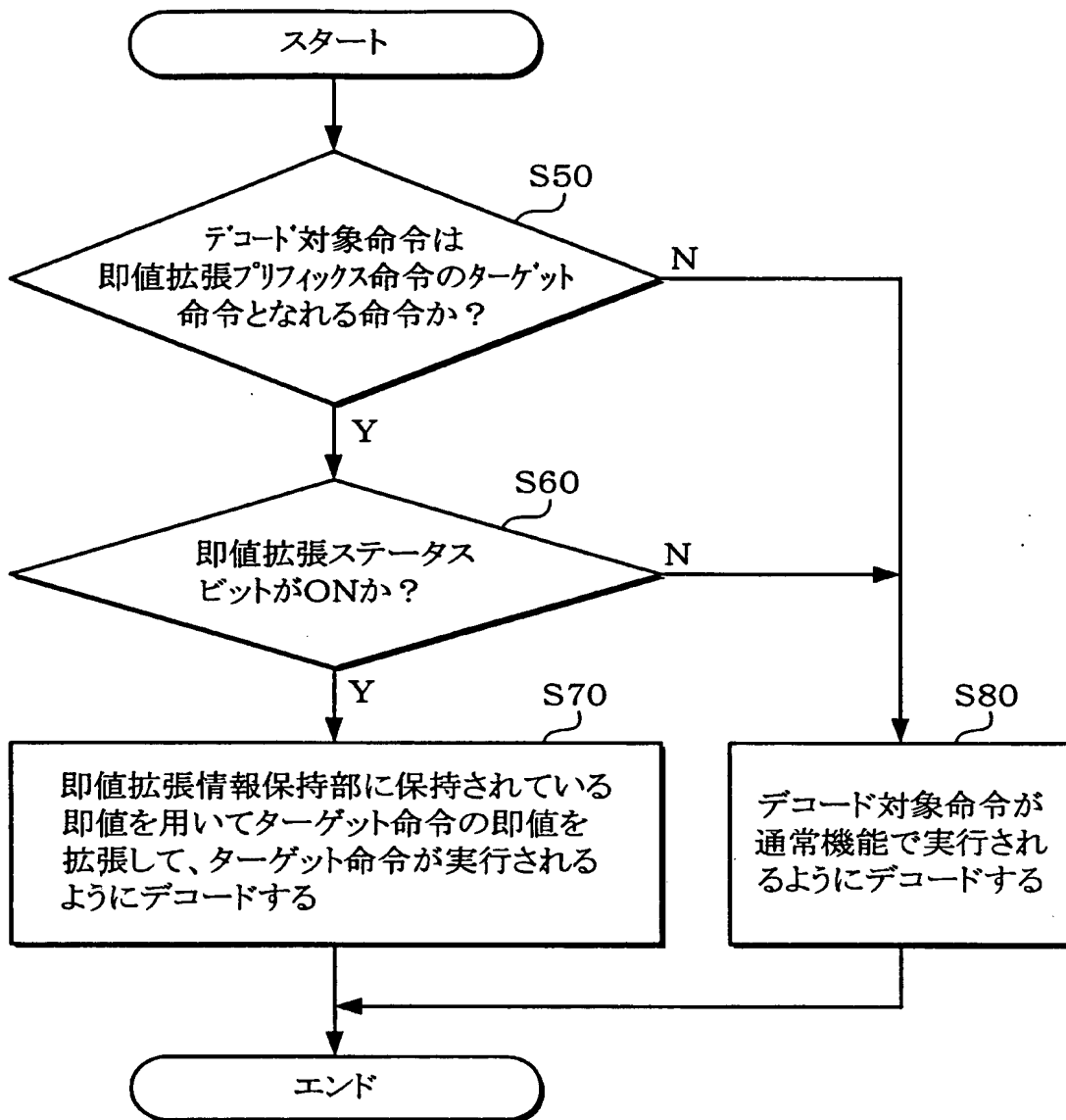
rd = rd op. imm32



【図 7】

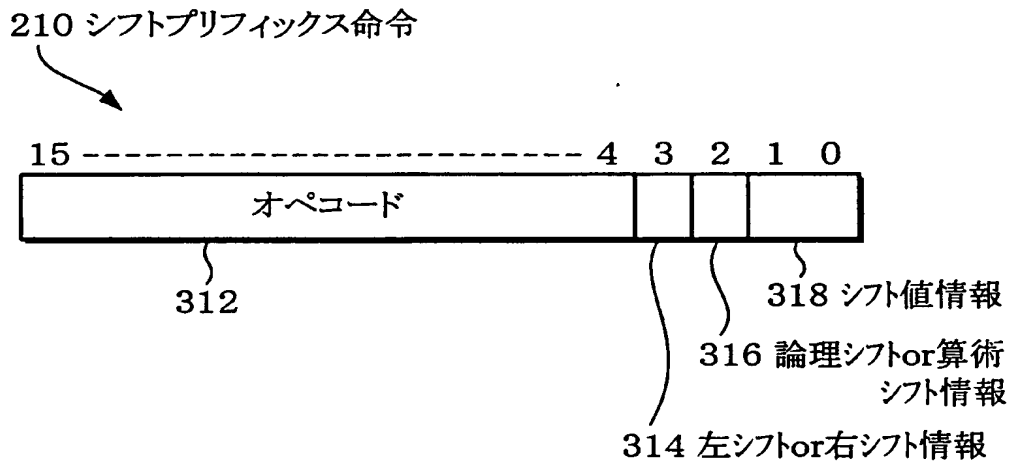


【図 8】



【図 9】

(A)



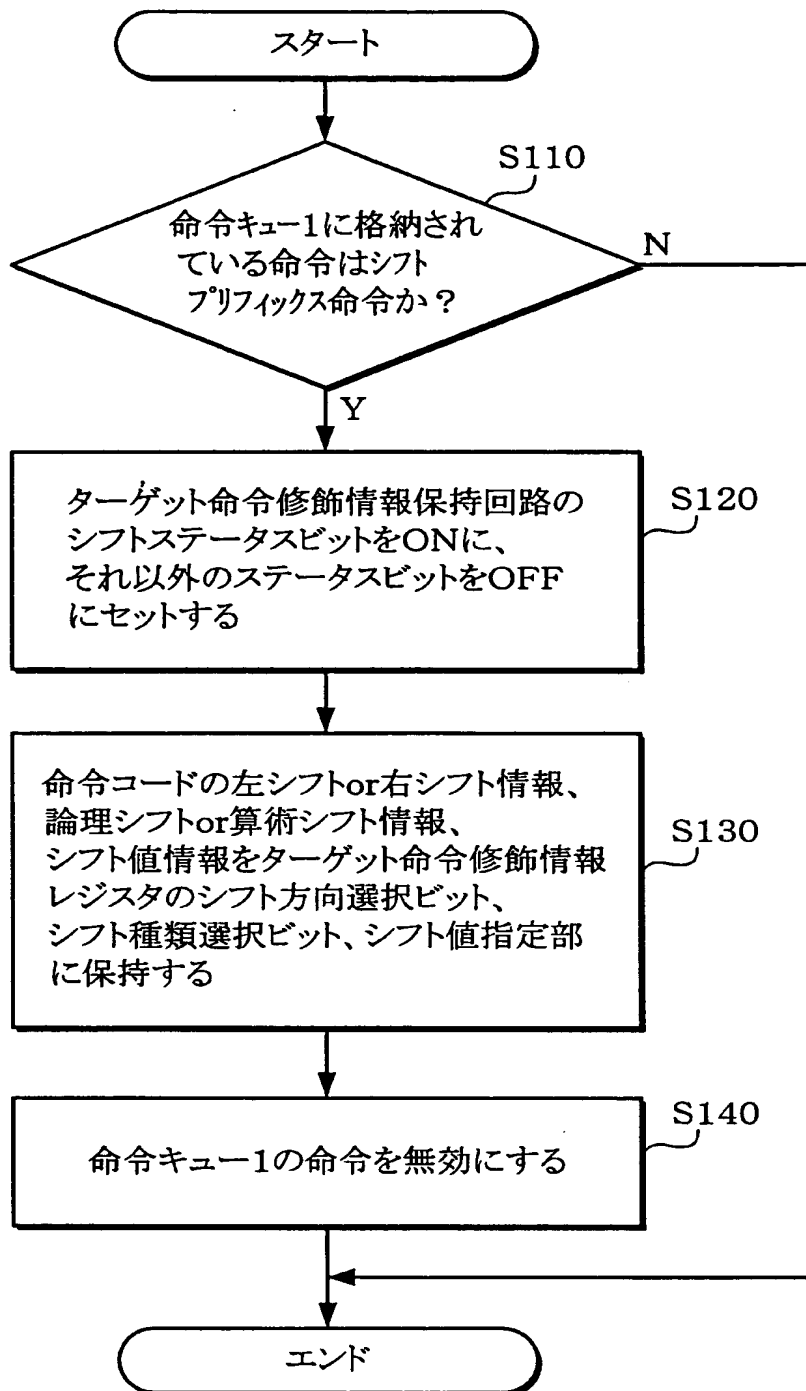
(B)

add    %r2, 3 → r2 + 3

(C)

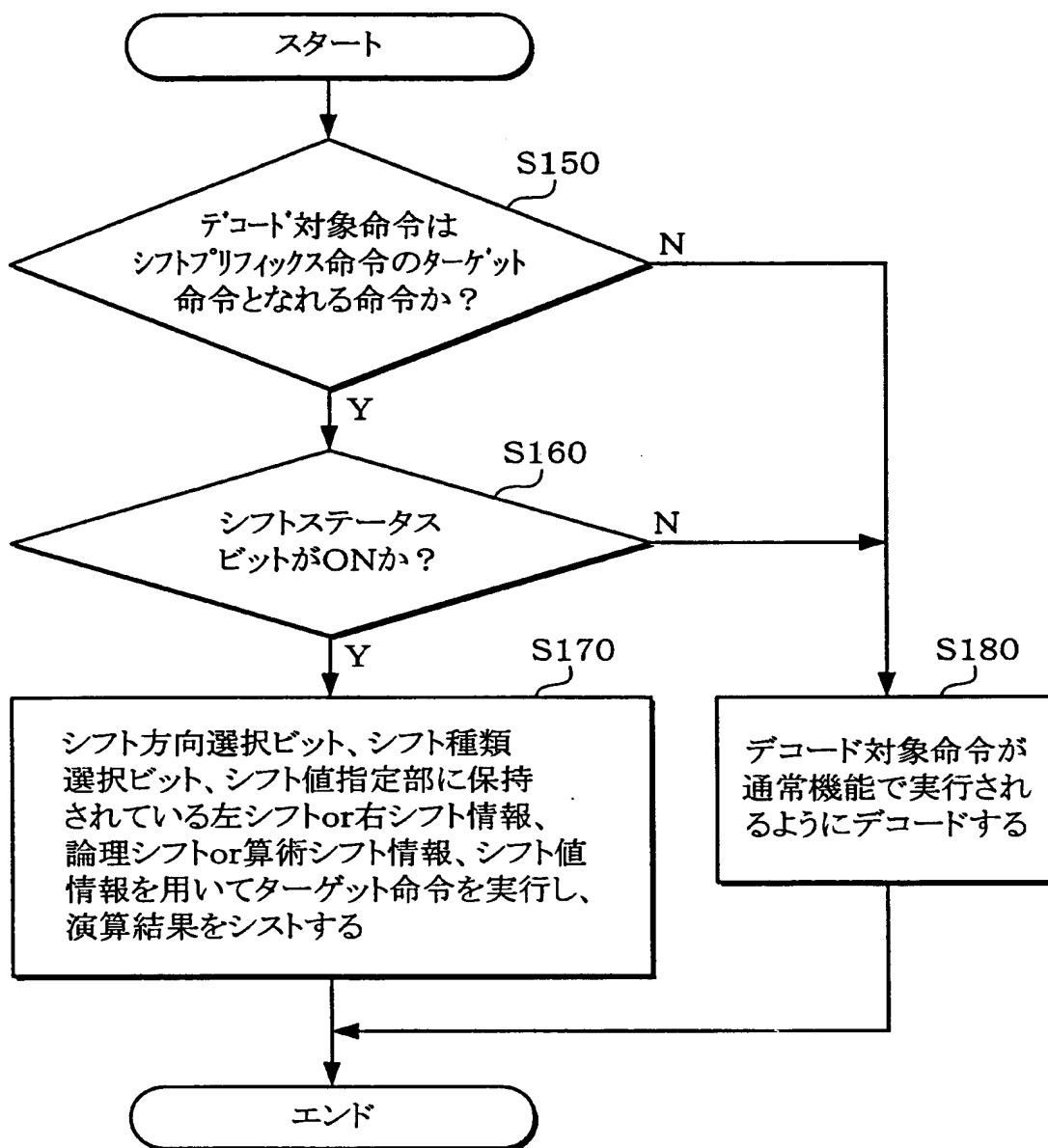
ext    srl, 1  
add    %r2, 3 } → r2 = (r2+3) » 1

【図 1 0】





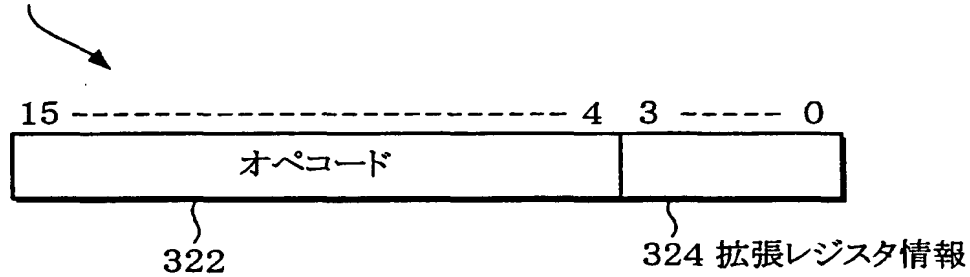
【図 1 1】



【図 1 2】

(A)

320 レジスタ拡張プリフィックス命令



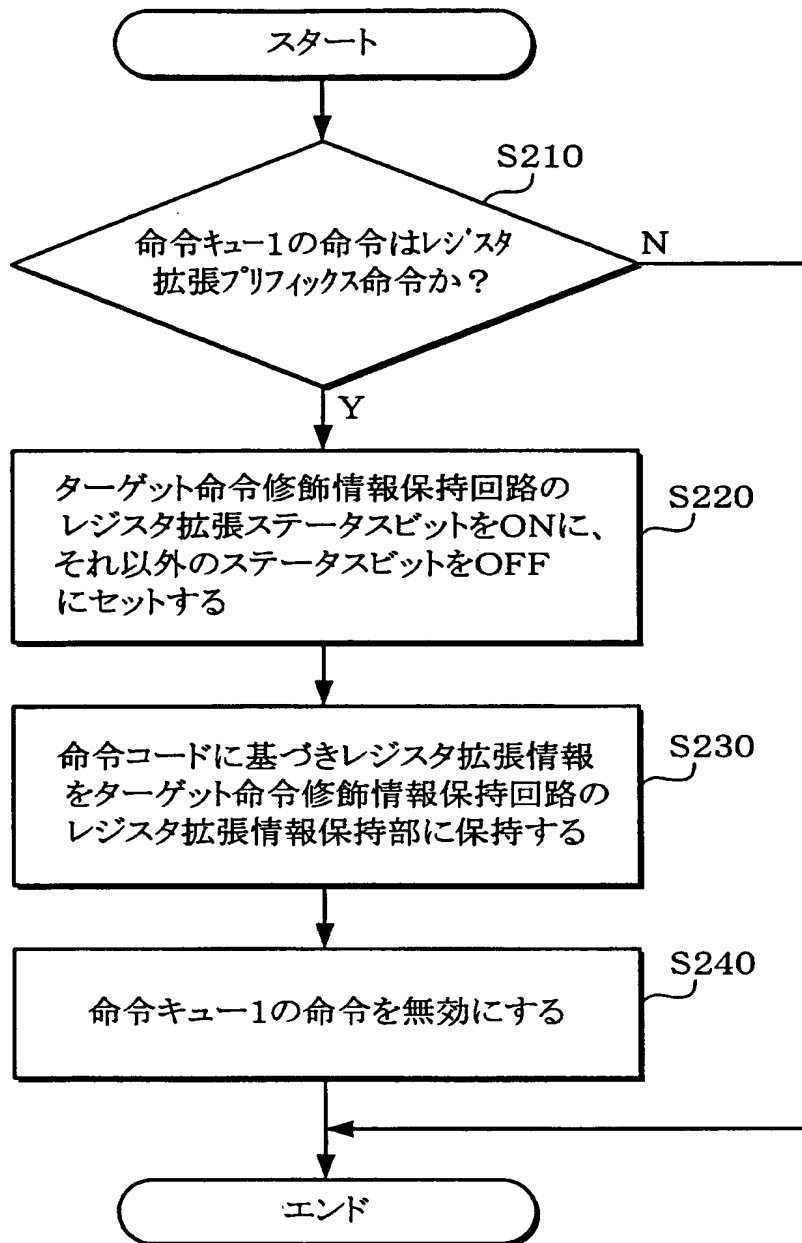
(B)

add %r2,3       $\longrightarrow$       r2 = r2+3

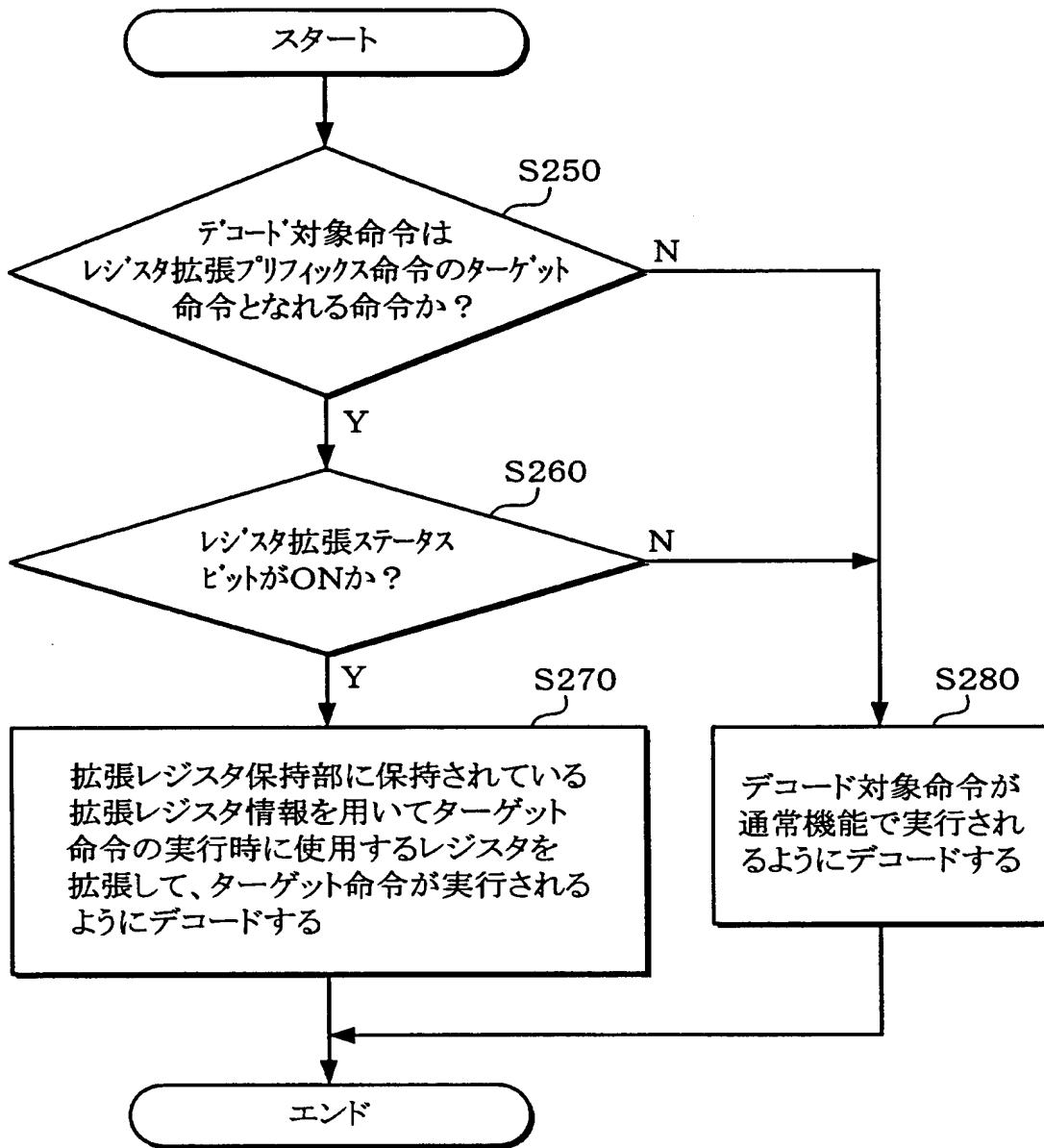
(C)

$\left. \begin{array}{l} \text{ext \%r1} \\ \text{add \%r2,3} \end{array} \right\} \longrightarrow \text{r 1 = r2+3}$

【図 1 3】



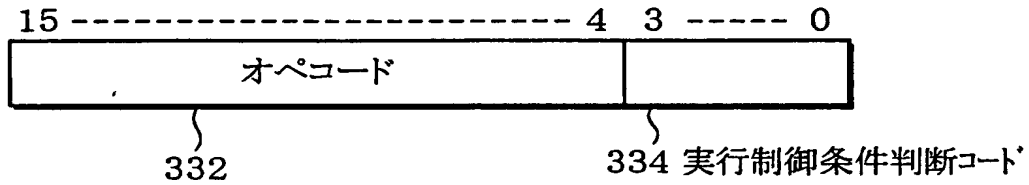
【図 1 4】



【図 1 5】

(A)

330 実行制御プリフィックス命令

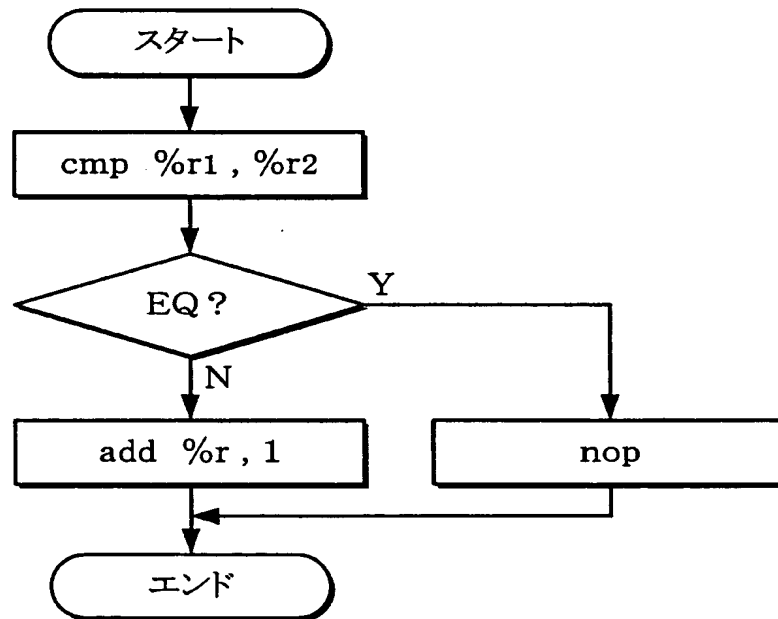


(B)

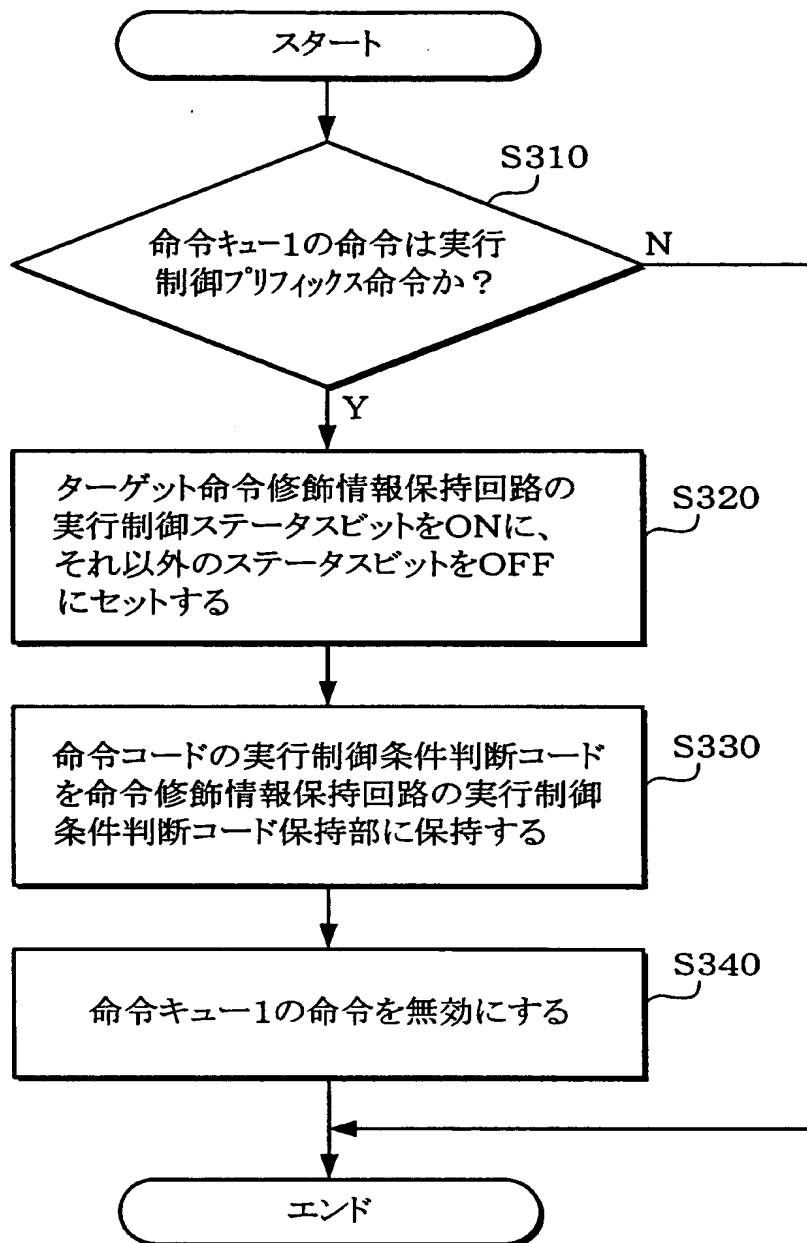
```

cmp    %r1    %r2
ext    EQ
add    %r1    1
    
```

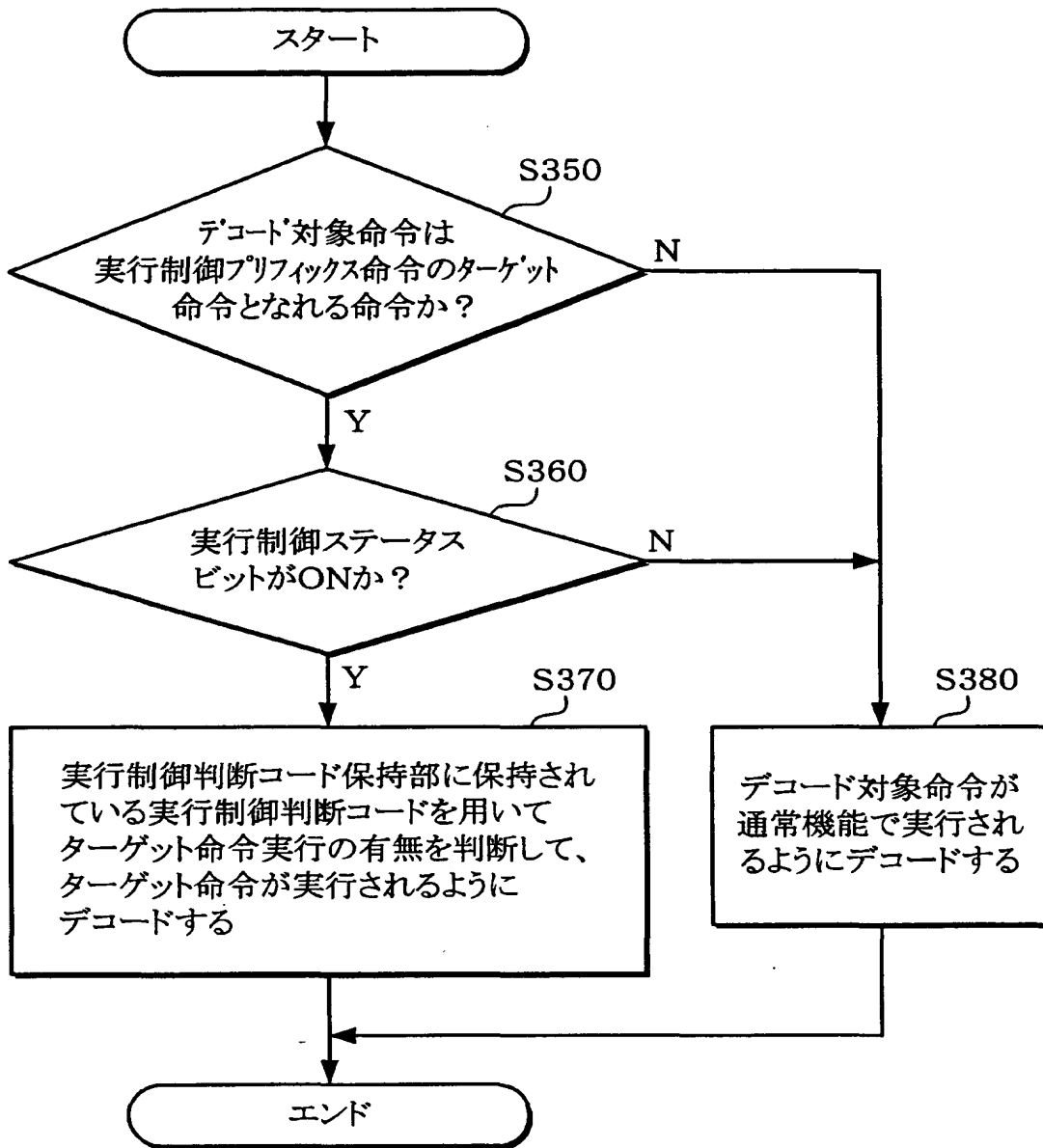
(C)



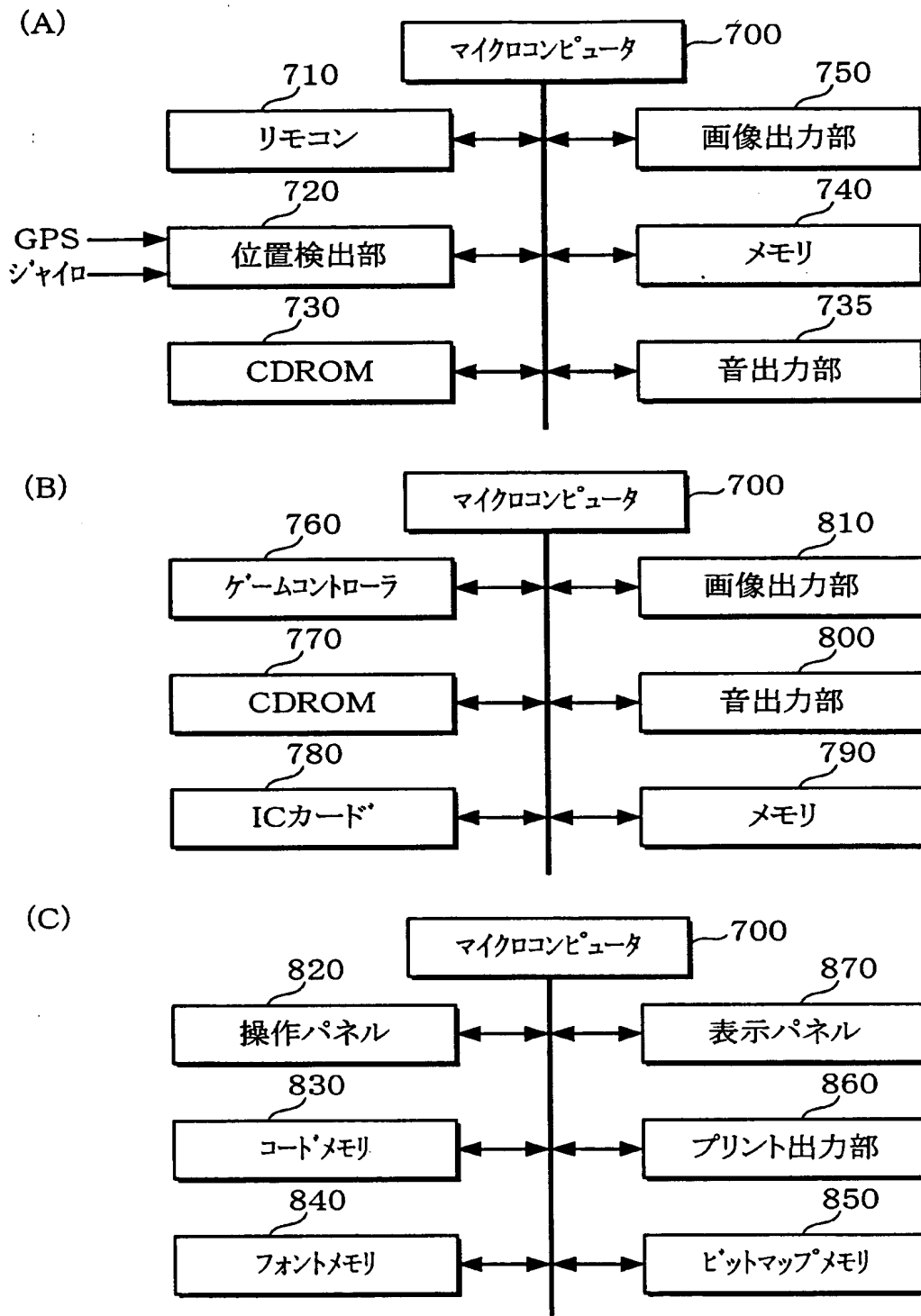
【図 1 6】



【図17】

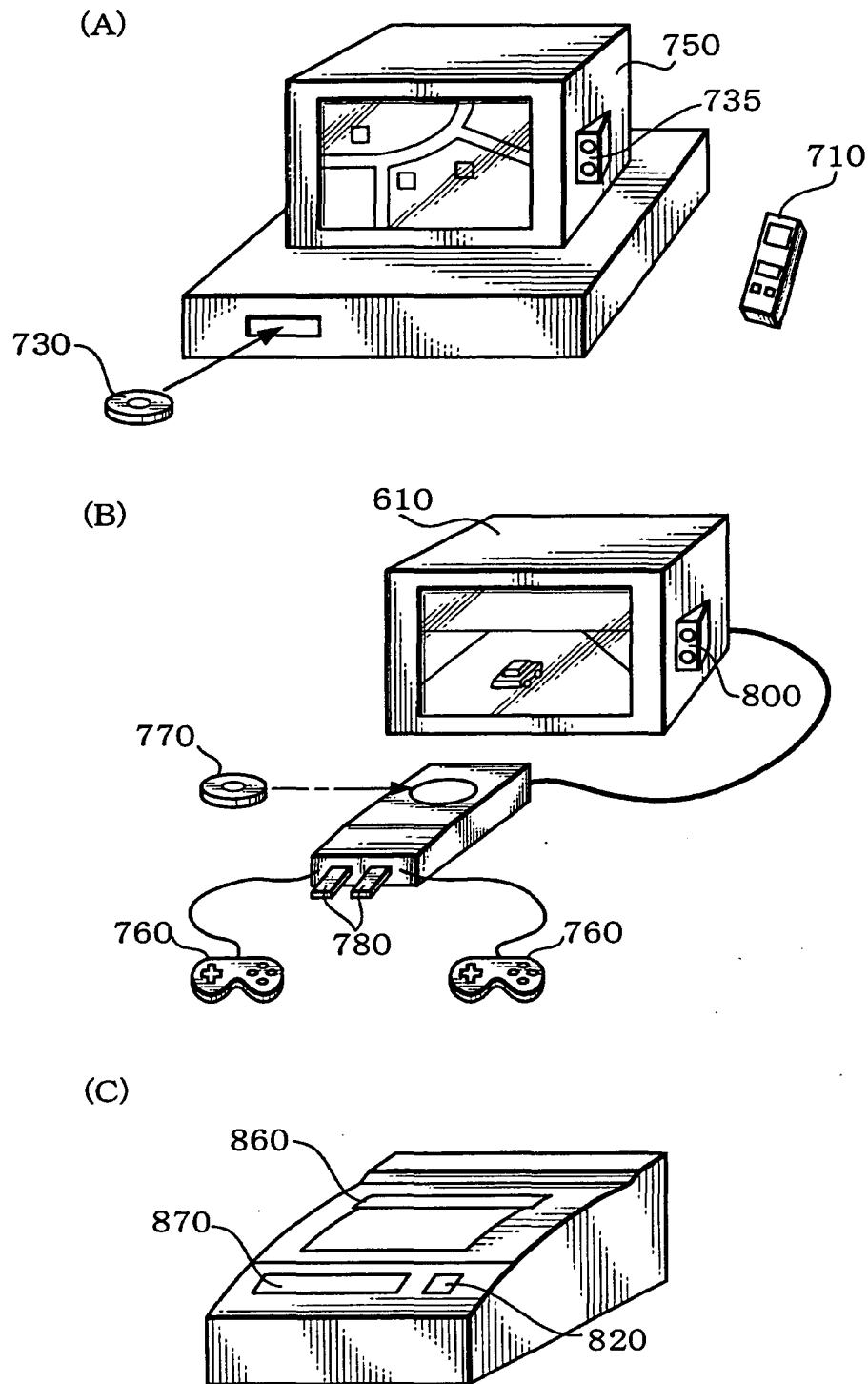


【図 18】





【図19】



【書類名】 要約書

【要約】

【課題】 プリフィックス命令を含む命令セットを回路規模を増大させることなく高速実行可能なコストパフォーマンスのよい情報処理装置及び電子機器の提供を目的とする。

【解決手段】 パイプライン制御を行う情報処理装置であって、複数の命令の命令コードを命令キュー 3 0 にフェッチするフェッチ回路 2 0 と、デコード前の命令コードを入力し、所定のプリフィックス命令であるか否か判断し、所定のプリフィックス命令である場合には、ターゲット命令のデコードに必要な情報をターゲット命令修飾情報レジスタ 5 0 に記憶させるプリフィックス命令専用デコード回路 4 0 と、プリフィックス命令以外の命令コードをデコード対象命令として入力しデコードするデコード回路 6 0 を含み、デコード対象命令がターゲット命令である場合には、ターゲット命令修飾情報に基づき、プリフィックス命令によって修飾されたターゲット命令のデコードを行う。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社